

## Minute Riunione MCC Design del 20 Settembre 2000

**Presenti:** Andrea (Baratella), Carlo (Schiavi), Fabio, Giovanni, Paolo Mo., Paolo Mu., Roberto.

### 1. Disegno MCC-D2+

L'attività sul disegno dell'MCC dopo la sottomissione del chip avvenuta alla fine di Luglio (27 Luglio 2000) ha subito un momentaneo arresto. Si è quindi deciso di riprendere con questa prima riunione l'attività nella progettazione in vista della sottomissione finale del chip che dovrà avvenire a data da definirsi (in questo momento non è chiaro se la prossima versione sarà implementata in tecnologia DMILL o IBM).

Per quanto riguarda le differenti attività legate al disegno del prossimo MCC (sia DMILL che IBM) si è deciso di procedere nel modo seguente:

- Modello Verilog.

Il modello Verilog utilizzato nella sottomissione dell'MCC-D2 va modificato per correggere le debolezze note (e quelle ancora non scoperte), l'event builder deve essere implementato nella forma definita nelle specifiche (i.e. 160 Mb/s) e l'intero disegno va rivisto nel tentativo di ridurre il numero di standard cells (specialmente se verrà rifatta una sottomissione in DMILL). Si è deciso di utilizzare pesantemente il programma SimPix che è risultato essere uno strumento potente per la verifica del funzionamento del chip. (Paolo Mu. ha cercato d'installare SimPix su un PC dell'officina elettronica, ma ha avuto qualche problema, Paolo Mo. metterà a posto il programma la settimana prossima). Il modello in C dell'MCC su cui sta lavorando anche Carlo (per la tesi di laurea) è quasi a posto ed è inserito in SimPix. Si intende usare SimPix con il modello in C per studio dettagliato delle bande passanti ed eventualmente per modifiche dell'algoritmo di event building.

*Azioni:* Paolo Mo. e Paolo Mu. collaborano nel debugging del Verilog e ottimizzazione dell'event builder.

- Simulazione e Timing Post-layout:

L'MCC-D2 per ragioni di tempo non è stato simulato con la back-annotation delle capacità parassite date dalle interconnessioni. Si intende estrarre i file necessari alla back-annotation e inserirli in Prime Time™.

*Azioni:* Giovanni studierà il problema.

- Documentazione:

Si è convenuto che la documentazione con le specifiche dell'MCC va completata. Attualmente esistono sul WEB 3 capitoli, Paolo Mu. ha preparato un primo draft del capitolo sull'event builder, ma molte altre parti mancano completamente. Si ritiene necessario avere la documentazione pronta per l'FDR (Primavera 2001?).

Il disegno dell'MCC-D2 è stato organizzato e ripulito da Roberto in modo da essere più facilmente ripreso in futuro.

Si è anche discusso sulla necessità di scrivere un articolo conclusivo sull'MCC-AMS. L'idea è di sottoporre a Nucl. Instr. and Meth. un articolo di 10-12 pg. In questo articolo, oltre al materiale sull'architettura di sistema (TDR), al disegno del chip, test in laboratorio e su fascio si vorrebbe

inserire materiale ottenibile da SimPix (che richiede ancora del lavoro). Ci si propone un primo draft verso fine anno e la versione finale in primavera. Ci si è chiesti se il progetto MCCex + SimPix potranno entrare in un successivo articolo e se sì, cosa mettere in quello sull'MCC-AMS.

*Azioni:* Giovanni proverà a fare una proposta per lo scheletro dell'articolo e per il materiale da inserire.

## 2. Deep Sub Micron (DSM)

Giovanni ha riassunto le motivazioni dell'abbandono della tecnologia Honeywell (che verrà deciso formalmente nel prossimo PDSG) e dell'interesse a spostarsi rapidamente su tecnologia DSM dell'IBM. Nei giorni scorsi abbiamo ottenuto il design kit di RAL (versione 1.0.1) e abbiamo ottenuto le chiavi per decriptarlo. Roberto ha dato una prima occhiata al materiale e ha visto che le standard cell esistenti (~15, a parte pads e FF non utilizzabili) sono molto meno di quelle DMILL. Le dimensioni delle celle sono fra 1/4 (nel caso dei FF) e 1/5 (per logica combinatoria) di quelle DMILL. Ci sono i modelli sia per Verilog che per Synopsys e tali modelli sembrano avere abbastanza parametri per essere accurati. Il dubbio principale di Roberto è sull'estrazione dei parassiti per la back-annotation. Nel kit mancano le regole di disegno. Il tool utilizzato per il layout è Silicon Ensemble che non abbiamo mai utilizzato. Si è considerata la possibilità di una sottomissione di un multiproject wafer alla TSMC (2 Gen '01 o 26 Feb '01) e l'MCC-I completo insieme ai FE-I (Giu '01).

*Azioni:* Roberto proverà nei prossimi giorni a sintetizzare una parte dell'MCC-D2 per confrontare i risultati e presentarli al workshop DSM della settimana prossima e in un secondo tempo comincerà il porting della ReceiverFIFO (con estensione x 2 o x 4 del numero di parole). Giovanni studierà il funzionamento di Silicon Ensemble.

## 3. Test MCC-D2.

Non si hanno novità sulla consegna dei chip dell'ultimo run DMILL, si presuppone che arrivino il 15 ottobre. Genova riceverà subito alcuni wafer e dovrà testare il funzionamento degli MCC-D2. A tale scopo si intende utilizzare l'IC-Tester del CERN. Lunedì 25/9 incontreremo il responsabile del servizio (Vladimir Ryjov) per pianificare i tempi di utilizzo del sistema e la preparazione della probecard. Per quanto riguarda i vettori di test si pensa di utilizzare quelli generati da Synopsys per la scan chain (ATPG - Automatic Test Pattern Generation) e aggiungere dei vettori per testare i blocchi full custom: ReceiverFIFO, PendingLv1FIFO e DelayLine. In aggiunta saranno necessari alcuni test parametrici per i driver di I/O.

*Azioni:* Roberto preparerà i vettori di test e seguirà in prima persona il test dei chip. Altra persona, da definirsi, lo aiuterà.

La prossima riunione è fissata per Martedì 10 Ottobre alle ore 10 in sala videoconferenza. La riunione Iniziata alle ore 10 termina alle ore 11.