

Minute Riunione MCC Design del 31 Ottobre 2000

Presenti: Andrea, Carlo, Claudia, Mario, Fabio, Fabrizio, Nanni, Paolo Mu., Polina, Roberto.

A questa riunione sono state invitate Claudia e Polina per partecipare alla discussione relativa all'articolo sull'MCC per il quale ci si aspetta un loro contributo.

1. Irraggiamento MCC-D0

L'irraggiamento del MCC-D0 è stato estremamente soddisfacente e ben al di sopra delle aspettative: 30.5 Mrad e con tutti e 8 i chip ancora funzionanti. Nessuno si aspettava un tale risultato visto i test fatti su chip provenienti dallo stesso wafer: ciò è provato dalla vincita della bottiglia di champagne da parte di Paolo Oppizzi che ha dato il valore più alto sulla resistenza alla radiazione (22 Mrad) che è ben al di sotto di quanto sono arrivati i chip.



Parte del Gruppo che ha brindato al successo dell'irraggiamento. Ci sono anche alcuni che oltre a bere hanno direttamente contribuito al successo dell'impresa.

Si tratta ora di completare l'analisi del Run: una prima scadenza è la prossima Pixel Week di Dicembre. E' anche reale la possibilità di pubblicare i risultati in tempi brevi. Fabrizio si è proposto volontario per fare una prima analisi (anche se non sa se potrà andare alla Pixel Week per un eventuale presentazione dei risultati). Paolo Mo. non era presente, ma Nanni ne aveva discusso con lui nei giorni scorsi e la possibile candidatura di Fabrizio era da lui benvista. Nanni ha fatto avere a Fabrizio alcuni articoli sull'argomento SEU sul quale documentarsi in preparazione del lavoro d'analisi. In aggiunta all'analisi dei dati presi si è considerato necessario il test elettrico dei chip di ritorno dal test beam. In particolare si vogliono ripetere le misure che Ettore aveva fatto sui chip prima dell'irraggiamento: Idd vs. CK frequency e massima frequenza di lavoro. Il test richiede l'equipaggiamento completo dei componenti su una scheda Rad_MCC utilizzata al test beam (Driver LVDS + connettori per il collegamento al Logic State Analyser HP). Verrà chiesto ad Ettore d'equipaggiare una di tali schede e di rifare i test come aveva fatto in passato. Infine, per poter trasportare a Genova il materiale irradiato va seguita una procedura burocratica tramite Corvisiero. Roberto si occuperà dei documenti necessari.

2. Test MCC-D2.

Si prevede d'avere i 20 chip nel package verso fine Novembre. In tal caso sarebbe possibile presentare alla Pixel Week dei risultati preliminari su test funzionali usando l'MCCex e a alcune misure di funzionamento in Frequenza mediante il set-up di Ettore e il Logic Analyser.

Per i test con l'utilizzo dell'MCCex vanno preparati i vettori di test:

1. Vettori generati automaticamente con utilizzo della Scan Chain tramite Synopsys;
2. Vettori che testino scrittura nelle FIFO (e nei registri);
3. Test della Delay line (questo test necessiterà probabilmente del setup di Ettore)

Per quanto riguarda i primi 2 tipi di test si vuole verificare i dati in uscita dall'MCCex con la simulazione della netlist Verilog del chip. Non è chiaro quale sia il metodo migliore per l'utilizzo del software esistente per tali tipi di test. Poichè Paolo Mo. non era presente, si rimanda a Roberto di approfondire con lui gli aspetti del problema. Un altro aspetto da verificare con Paolo Oppizzi è l'utilizzo della scan chain con l'MCCex. Roberto si preoccuperà di vedere tutti i dettagli del test con la collaborazione dei tecnici (Paolo Oppizzi, Ettore) e degli sviluppatori di SimPix (in particolare Paolo Mo. e Fabrizio).

3. Articolo MCC.

Nanni ha presentato uno scheletro (riportato in allegato) della struttura dei paragrafi per l'articolo sull'MCC e ha brevemente illustrato i contenuti che secondo lui dovrebbero rientrare in tale articolo.

In particolare:

1. Un articolo sull'MCC scritto a 2 anni dalla sottomissione del primo MCC (MCC-AMS) non può contenere il materiale del TDR o solo l'MCC-AMS, ma deve essere aggiornato a quanto è stato fatto fino a fine 2000. In particolare il capitolo "System Architecture" e "MCC Architetture" vanno scritti in base alle conoscenze attuali e non a quelle del dimostratore.
2. Il capitolo "MCC implementations" descriverà il flusso e le metodologie di disegno del chip AMS e le differenze dall'architettura descritta nei paragrafi precedenti. Una tabella confronterà i dati salienti dei 2 chip (No. transistor, Area, No. standard Cells, etc.).
3. Per quanto riguarda il capitolo su "Simulation of System Performance" va descritto il progetto software SimPix (i dettagli della descrizione dovranno essere valutati, specie nel caso si intenda presentare un articolo sui tool hardware e software sviluppati per i test e le verifiche degli MCC). Paolo Mo. e Fabrizio valuteranno il materiale da inserire in tale paragrafo. Le performance dell'MCC andranno aggiornate rispetto a quanto scritto nel TDR. Materiale dovrebbe essere disponibile a breve dalla tesi di Carlo.

4. L'ultimo capitolo "Esperience with MCC" si suddivide in 2 sotto parti: MCCex e Demonstrator Module. Anche per questo capitolo si dovrà dettagliare che cosa mettere. Nanni e Paolo Mo. faranno una proposta per la prima parte e Claudia e Polina sui moduli.

Nella discussione che ne è seguita la maggior perplessità è su cosa inserire su MCC-D2, si è anche detto di non appesantire troppo la parte d'architettura dell'MCC con tabelle relative a set di comandi, o registri (tale materiale verrà rimandato ai documenti di specifiche). I responsabili della stesura dei differenti paragrafi manderanno una prima bozza a Nanni prima della prossima riunione (2 settimane).

4. Disegno MCC-I

Non ci sono progressi avendo molte delle persone coinvolte partecipato al run d'irraggiamento. Paolo Mu. ha bisogno di aiuto da parte di Paolo Mo. o Fabrizio per mettere in piedi SimPix in modo da utilizzarlo per l'analisi del suo codice. Anche sui nuovi tools da utilizzare per il layout non ci sono progressi. Si prevede che per le prossime 2 settimane le persone coinvolte avranno altre priorità (vedi punti precedenti).

La prossima riunione si terrà nella settimana del 13 Novembre.

La data, da confermarsi, è Mercoledì 14 Novembre alle ore 11 in sala videoconferenza.

La riunione Iniziata alle ore 11 termina alle ore 12.

Appendice: traccia articolo sull'MCC

Title

MCC: the Module Controller Chip for the ATLAS Pixel Detector

Abstract

1. Introduction

- In this chapter general introduction:
- No. of Channels, Modules, staves, layers, disks.
- Fig. 3D picture of a Module
- Ref. [Pixel-TDR, Vrba]
- Text [Nanni]

2. Pixel Detector System Architecture

- This chapter describes the FE + MCC + Optolinks.
- Brief description of the FE-D/I architecture
- Interconnections and protocols between FE/MCC and MCC/Doric/VDC
- Ref. [Demonstrator]
- Fig. Module Block Diagram
- Fig. Data/Command/Timing signals FE-MCC
- Fig. FE-D R/O architecture (from Peter Pixel2000 talk)
- Ref. [Darbo, Fischer]
- Text [Nanni]

3. MCC architecture

3.1 Functional Blocks

3.1.1 Command Decoder

3.1.2 Register Bank

3.1.3 TTC

3.1.4 Receiver

3.1.5 Event Builder

3.1.6 FE & Module Ports

3.2 Protocols

3.2.1 Command/Data to MCC

3.2.2 Output Data Format

- Architecture description for MCC-D2 with some considerations for differences to MCC-AMS.
- Fig. MCC-D2 Block diagram
- Fig. Receiver algorithm
- Fig. Event Builder algorithm
- Fig. Output Data Format for MCC-D2
- Ref. [Demonstrator, MCC-D2]
- Text [Roberto, Nanni, Paolo Mu.]

4. MCC Implementations

4.1 MCC-AMS

- Description of design flow
- Design of full custom blocks (FIFO, LVDS)
- Test: scan chain, verilog based test vectors, hand written test vectors.

4.2 MCC-DMILL

- Differences in the design flow from AMS
- Design of full custom blocks (FIFO's, Delay)
- Test: the use of SimPix
- Table - Comparison between MCC-AMS/MCC-D2
- Fig. Photo of MCC-AMS & MCC-D2 dice
- Fig. Schematics/Layout of FIFO cell for AMS/DMILL (?)
- Fig. DELAY simplified schematics (?)
- Ref. [Beccherle]
- Text [Roberto]

5. Simulation of System Performance

5.1 SimPix

- General motivation of the project
- Description of the software architecture
- Interface to Verilog
- Fig. Block diagram of the SimPix package
- Fig. Screen Display (?)
- Text [Paolo Mo.]

5.2 Performance

- Updated results of what was put in the TDR (from SimPix, Carlo Thesis work).
- Fig. (several) Plots of efficiencies/bandwidths
- Text [Paolo Mo., Fabrizio, Carlo]

6. Experience with MCC

6.1 MCCex

- Fig. Photo MCCex
- Text [Nanni, Paolo Mo.]

6.2 Demonstrator Module

- Fig. Photo of a module
- Fig. Results from Test Beam / Source (?)
- Ref. [Netchaeva]
- Text [Claudia, Polina]

7. Conclusions

- Text [Nanni]

References

1. [Pixel-TDR]
ATLAS Pixel Detector Technical Design Report, CERN/LHCC/98-13.
2. [Vrba]
V. Vrba, The ATLAS Pixel Detector, Proceedings of Pixel2000, {\em Nucl. Instr. and Meth.} {\bf A XXX} (2001) XXX.
3. [Darbo]
G. Darbo, The ATLAS Pixel Detector System Architecture, Proceedings of the "Third Workshop on Electronics for LHC Experiments", London 22-26 September 1997, CERN/LHCC/97-60.
4. [Fischer]
P. Fischer, Pixel electronics for the ATLAS experiment, Proceedings of Pixel2000, {\em Nucl. Instr. and Meth.} {\bf A XXX} (2001) XXX.
5. [Demonstrator]
G. Darbo, K. Einsweiler & P. Fischer, ATLAS Pixel Detector: Pixel Electronics Specifications,
<http://www.ge.infn.it/ATLAS/Electronics/Demonstrator-2.0/MCMSpec.2.0.pdf>
6. [MCC-D2]
G. Darbo et al., MCC-D2 Specifications, to be published.
7. [Beccherle]
R. Beccherle, The Module Controller Chip (MCC) of the ATLAS Pixel Detector, Proceedings of "IEEE Nuclear Science Symposium & Medical Imaging Conference", Toronto, Canada, 8-14 November 1998
8. [Netchaeva]
P. Netchaeva et al., Results on 0.7\% X0 thick pixel modules for the ATLAS Detector, Proceedings of Pixel2000, {\em Nucl. Instr. and Meth.} {\bf A XXX} (2001) XXX.