

Minute Riunione MCC Design del 21 Novembre 2000

Presenti: Carlo, Claudia, Fabrizio, Nanni, Paolo Mo., Paolo Mu., Polina, Roberto.

A questa riunione hanno partecipato Claudia e Polina solo alla parte relativa alla discussione sull'articolo MCC.

1. Analisi del test beam al PS.

Fabrizio ha iniziato il lavoro d'analisi dei dati del test beam. Dopo ampia discussione si è deciso che il lavoro preliminare da fare sui dati è quello di ottenere delle n-tuple nelle quali vanno messe le seguenti informazioni:

- Tipo d'errore (Bit nella FIFO, Bit nei registri, ...)
- Tempo relativo (all'inizio dello spill) in cui è l'errore si è verificato
- Dose accumulata (va inserita a mano per ciascun run)

La normalizzazione al rate di LHC verrà fatta in un secondo momento, quando si capirà meglio l'analisi sulle n-tuple.

Per quanto riguarda i test sui chip di ritorno dal PS verranno testati in frequenza utilizzando la scheda Rad-MCC completamente equipaggiata per l'utilizzo con il Logic State Analyser HP-16700. Ettore ha messo in funzione l'HP-16700 con la scheda Rad-MCC che funziona correttamente e dovrebbe permettere di testare i chip rapidamente. I chip saranno spediti il 27 Nov.

Paolo Mo. presenterà alla Pixel Week i risultati del test beam.

2. Test MCC-D2.

Si prevede d'avere i 20 chip nel package verso fine Novembre. A tutt'oggi non abbiamo informazioni più precise su quando verranno spedite da LBNL. Se i chip arriveranno entro la prossima settimana sarà possibile fare dei test e presentare i risultati preliminari alla Pixel Week di Dicembre. Una delle prime misure da fare è relativa allo yield. Misura che verrà fatta utilizzando l'MCCex mediante il test della scrittura e lettura nei registri e FIFO. Una seconda fase di misure sarà relativa allo yield della logica in standard cell utilizzando la scan chain. Roberto ha generato i vettori di test con Synopsys e, per un ricoprimento dell'88%, sono sufficienti 2 caricamenti della scan chain! Questi test con l'utilizzo della scan chain saranno fatti utilizzando il LSA HP a 5 MHz. Infine saranno fatti dei test in frequenza per caratterizzare meglio i chip.

3. SimPix e ottimizzazione dell'event builder.

Per quanto riguarda SimPix Carlo (insieme a Paolo Mo.) sta lavorando sul modello C++ dell'MCC-D2 da utilizzare, una volta validato con il modello reale (Verilog), per lo studio delle performance dell'MCC con eventi LHC. In particolare Carlo studierà anche l'impatto architetturale dell'MCC (e del FE) sulla ricostruzione degli eventi in relazione al b-tagging.

Per quanto riguarda l'ottimizzazione dell'event builder non ci sono progressi in questa direzione. Si è deciso di aspettare a dopo la Pixel Week per dare a Paolo Mu. una versione più stabile di SimPix con la quale verificare e correggere il codice dell'MCC-D2 in vista della futura sottomissione. Paolo Mu. si occuperà in questo periodo dell'ottimizzazione dell'output port e dell'implementazione dei 160 Mb/s.

4. Articolo MCC.

L'articolo sull'MCC prosegue come attività di background e per il momento è ancora largamente incompleto: Nanni ha scritto una prima versione delle sezioni 1 e 2 e parzialmente della 3. Si è discusso su come riorganizzare le sezioni (in appendice è riportata la lista delle sezioni con la responsabilità principale nella loro scrittura).

La prossima riunione si terrà nella settimana prima della Pixel Week.

La data, da confermarsi, è Mercoledì 6 Dicembre alle ore 11 in sala videoconferenza.

La riunione Iniziata alle ore 11 termina alle ore 12:30.

Appendice: traccia articolo sull'MCC

Title

MCC: the Module Controller Chip for the ATLAS Pixel Detector

Abstract

1. Introduction

[Nanni]

2. Pixel Detector System Architecture

[Nanni]

3. MCC architecture

3.1 Functional Blocks

3.2 System Tasks

3.2 Protocols

[Nanni]

4. MCC Implementations

4.1 MCC-AMS

4.2 MCC-DMILL

[Roberto]

5. Tools for test and development

5.1 MCC Exerciser

5.1 SimPix

[Nanni, Paolo Mo.]

6. System Performance

[Paolo Mo., Carlo]

7. Experimental Results

[Claudia, Polina, ...]

7. Conclusions

[Nanni]

References