

Minute Riunione MCC Design del 31 Gennaio 2001

Presenti: Carlo, Ettore, Nanni, Paolo Mo., Paolo Mu., Roberto.

Dopo un periodo d'interruzione di quasi 2 mesi abbiamo ripreso le riunioni periodiche sul disegno e test dell'MCC. La prossima riunione la terremo la settimana dopo la Pixel Week in data da precisarsi.

1. Test MCC-D2.

Nel periodo delle festività natalizie Nanni, Paolo Mo. e Roberto hanno testato l'MCC-D2. I risultati delle misure sono stati riportati nella pagina dell'elettronica di ATLAS-GE, raggiungibile direttamente alla URL:

http://www.ge.infn.it/ATLAS/Electronics/home_frames/MCC-D2_frame.html

Dai risultati riportati risulta che la resa è bassa: 2 MCC su 18 hanno passato i test. Nei test riportati sul WEB non erano inclusi 2 ulteriori test che si intendono fare sui chip:

- Test di funzionamento dell'event builder con eventi simulati (SimPix + MCCex);
- Test delle standard cell con l'utilizzo della scan chain..

Per quanto riguarda il test di event building Paolo Mo. ha detto che i risultati che ottiene sono di difficile interpretazione. Dopo l'accensione della scheda MCCex gli eventi iniettati nei receiver vengono ricostruiti, ma sono usualmente più lunghi di quanto dovrebbero: come se fossero aggiunti alcuni hit. Paolo Mo. ha detto di voler fare ulteriori prove per capire l'origine del problema e a prima vista, anche se non ripetibile completamente, il fenomeno si riproduce su più di un MCC. Non sembrerebbe essere un problema di yield, potrebbe essere un problema di frequenza di clock? I chip provati con il logic analyser hanno funzionato fino a 70 MHz, ma sappiamo che il path critico è nell'event builder e non nel command decoder o register bank su cui il test in frequenza è stato fatto. Ulteriori prove saranno fatte da Paolo Mo. per isolare più chiaramente il problema.

Per il test sulle scan chain Roberto sta generando i pattern da inserire nell'HP-16700. Questo test è importante anche per il futuro disegno dell'MCC. A causa di un errore di disegno l'MCC-AMS non poteva utilizzare tale caratteristica, mentre sull'MCC-D0 non abbiamo mai provato il funzionamento.

Durante i test abbiamo trovato una serie di errori di disegno che abbiamo documentato e che stiamo correggendo per il nuovo chip.

http://www.ge.infn.it/ATLAS/Electronics/MCC-D2/test/MCC-D2_bug_list.html

Altri problemi che andranno corretti nel nuovo chip sono le abilitazioni dei bus tristate: al power-up prima del reset del chip abbiamo notato consumo fino a 80 mA (senza CK) che scendono a 21 mA dopo GlobalResetMCC o RSIB. Il motivo è legato a problemi di contenzione del bus di uscita delle FIFO. Infine Paolo Mu. ha detto che l'MCC-D2 funziona correttamente solo in modalità 40x1 e sia 40x2 o 80 Mb/s non sono corretti. Il problema è già stato corretto.

In conclusione l'opinione è che questi chip siano difficilmente utilizzabili, a causa del basso yield, per produrre moduli. Alcuni MCC-D2 parzialmente funzionanti potrebbero essere utilizzati per test della nuova TurboPLL/TurboPCC. In ogni caso il problema dell'event builder va capito.

2. Disegno MCC-DSM (Deep Sub Micron).

Roberto ha partecipato alla riunione che si è tenuta a RAL a metà gennaio, nella quale è stato discusso il supporto alle librerie CERN/RAL di standard cell (Copia delle trasparenze sono su:

http://pcvlsi5.cern.ch/deepsub/new_page_3.htm).

Per il momento abbiamo accesso a 2 librerie di standard cell: Pixel e RAL. Entrambe sono utilizzabili e non è chiaro quale delle due sia più conveniente per noi. Quella Pixel ha inserito un FF poco sensibile al SEU (Single Event Upset). Non è chiaro se RAL lo inserirà nella sua libreria. Le 2 librerie sono incompatibili. Per il nostro disegno è fondamentale una accurata rappresentazione Synopsys (i modelli synopsys sono più critici per il nostro disegno che per il chip di FE) e la scelta della libreria da usarsi terrà conto pesantemente di questo aspetto.

Nella riunione a RAL è stata presentata una RAM "parametrizzabile" in blocchi da 128 parole con larghezza di multipli di 9 bits. (<http://pcvlsi5.cern.ch/deepsub/docs/Jan2001RAL/sram.pdf>)

Anche se con uno spreco di alcuni bit una RAM da 128 x 27 potrebbe essere facilmente trasformabile in FIFO per i receiver. Le dimensioni di una tale FIFO sono di 150 μ m x 1 mm (nel caso AMS la FIFO era di 0.6 x 1.2 mm con sole 32 parole!). È nostra intenzione utilizzare questa RAM per le 16 ReceiverFifo, mentre la PendingLV1Fifo (16 x 16) può essere costruirla con standard cells.

L'utilizzo di questa RAM ci permette di evitare disegni full custom (almeno per il momento) se Peter ci darà una mano per la Delay line come nel MCC-D2.

3. SimPix : risultati.

Carlo ha presentato i primi risultati che ha ottenuto da SimPix con la geometria di Praga, trigger rate di 100 kHz, file di eventi di David Calvet e con un MCC-D2 che ricostruisce gli eventi. Nel caso più pessimistico (B_Layer a massimo η) ci sono 0.6×10^{-3} hits/pixel/BCO e 44 hits/modulo/BCO. Carlo ha mostrato risultati per ReceiverFifo di 32/40/128 parole e per bit rate in uscita dall'MCC di 40/80/60 Mb/s. Dalla sua simulazione risulta che la FIFO di 32 o 40 è insufficiente anche a 160 Mb/s. La configurazione 128 parole e 80 Mb/s è un po' al limite, mentre con 128 e 160 Mb/s non vengono persi eventi e solo il 2% degli hit vengono tagliati: ci sono eventi con più di 128 hit/FE che vengono persi nell'MCC (in ogni caso verrebbero persi dai FE stessi nel caso di una simulazione di FE non ideale). I risultati di Carlo sono un'ulteriore conferma che è necessario andare verso una tecnologia DSM in modo da poter ampliare la dimensione delle ReceiverFIFO.

4. A.O.B.

Non ci sono progressi sull'analisi del Test Beam di Novembre. Pure la stesura dell'articolo sull'MCC non è avanzata.

La prossima riunione non è stata fissata, Nanni si occuperà di trovare una data, che sarà tra il 21-23 Febbraio 2001.

La riunione Iniziata alle ore 10:30 termina alle ore 12:00