

Minute Riunione MCC Design del 21 Febbraio 2001

Presenti: Carlo, Ettore, Nanni, Paolo Mo., Paolo Mu., Roberto.

La riunione di oggi è stata interamente dedicata al disegno dell'MCC-DSM e alla pianificazione temporale del progetto.

1. Disegno MCC-DSM.

Nanni ha riassunto la situazione del disegno dopo la Pixel Week:

- La ReceiverFIFO verrà realizzata usando una memoria di disegno CERN. Tale memoria ha un'area 1/4 di quella MCC-D2 e ha 4 volte il numero di parole (128). È una memoria sincrona con celle a 6 transistor, dual-port e con autotiming della lettura. L'accordo con Marchioro è per ottenere il layout completo per la nostra configurazione (128 parole di 27 bit), l'abstract e il modello Verilog. Non ci verrà dato lo schematico, ma faranno loro LVS e il DRC. Per quanto riguarda il timing, poiché l'ingresso ha dei FF di libreria (CERN) dovremo usare tali parametri, mentre per l'uscita dovremo utilizzare i dati solo al ciclo di clock successivo (non è permesso sintetizzare logica nello stesso ciclo di clock all'uscita dei dati).
- La Delay line dovrebbe essere disegnata sotto la supervisione di Peter. Nanni ha parlato con Kevin, il quale ne discuterà con Peter.
- Le pad che utilizzeremo sono quelle della libreria "Pixel". Le 2 pad mancanti (receiver con terminazione a 500Ω e transmitter con 100Ω) saranno, come le volte scorse, sviluppate dai colleghi del FE.

I punti su elencati ci sollevano dalle necessità di sviluppo full custom e riducono l'attività di disegno su 2 blocchi: Event Builder e Receiver. Il primo va completato nelle specifiche (modo a 160 Mb/s non implementato nel MCC-D2) e corretto di alcuni errori, il secondo va invece riscritto essendo cambiata completamente la FIFO. Paolo Mu. sta lavorando sul primo, mentre Roberto sul secondo.

In aggiunta all'attività di scrittura dei modelli in verilog di tali blocchi, l'attività sul disegno dell'MCC-DSM si concentrerà su 2 aspetti: validazione del chip mediante simulazione e layout.

Per quanto riguarda il primo aspetto si è deciso di realizzare i vettori di test, sia mediante verilog utilizzando una libreria di task, sia mediante SimPix al quale Paolo Mo. aggiungerà un semplice script language per generare anche eventi speciali ("scritti a mano") e non solo eventi di fisica. Sia verilog che SimPix genereranno un formato ascii che verrà mandato in ingresso al modello dell'MCC da simulare. Sia l'ingresso che il risultato della simulazione verranno scritti in formato "vettori di test" che siano facilmente trasferibili a macchine di test per chip. Infine è stato anche affrontato il problema di come organizzare la struttura dei files di simulazione in modo che siano esaustivi nel ricoprire tutti i casi definiti nelle specifiche che descrivono il chip. Nanni farà una proposta che verrà discussa le prossime volte.

Il layout invece sarà fatto utilizzando un tool di cui non abbiamo esperienza (Silicon Ensemble). La preoccupazione maggiore per quanto riguarda questo tool è relativa al tempo necessario ad apprendere le funzionalità per un suo utilizzo adeguato. Si reputa pure necessario fare una backannotation delle capacità e la verifica temporale del disegno con i valori estratti di tali capacità. A detta di Gerrit non dovrebbe essere troppo difficile, secondo Marchioro non va invece sottovalutata la difficoltà. Nanni a partire dai prossimi giorni farà alcuni tentativi di valutazione dei tools.

Si è quindi discusso il "project plan" (in allegato) nel quale si è fatto un esercizio di programmazione delle attività per i prossimi 3 mesi. Tale project plan non tiene conto di altre attività delle 4 persone inserite come risorse di progetto e quindi dovrà necessariamente avere alcuni aggiustamenti. Le

milestones inserite sembrano essere dei punti da monitorare con attenzione e da cercare di rispettare. Si è discusso pure sull'eventuale inserimento di nuove risorse, ma non sembra facile in una scala di tempi così ridotta: Carlo potrebbe dare un ulteriore supporto nella validazione del chip una volta passato l'esame di laurea, Ettore potrebbe dare un buon contributo nella fase di test dei wafer (in questo momento sta lavorando sul sistema di test del flex hybrid che ha vari aspetti simili al test dei chip sui wafer).

Onde mantenere sotto stretta sorveglianza l'andamento della attività di disegno si è deciso di fare una breve riunione 30-45 min ogni Mercoledì alle ore 11.

2. MCC-D0 / D2

Per quanto riguarda l'MCC-D0, degli 8 chip funzionanti appena finito il run di irraggiamento ne erano rimasti funzionanti 4 all'arrivo a Genova (3 settimane dopo la fine del test). Quando sono stati riprovati la settimana prima della Pixel Week ne era rimasto uno solo e anche dopo 7 gg di annealing a 100° nessuno degli altri ha dato segni di vita. Imputati principali sono le pad LVDS. Vogliamo fare un ultimo test utilizzando il transparent mode e iniettando segnali nei pad di tipo CMOS. Il test verrà fatto nei prossimi giorni.

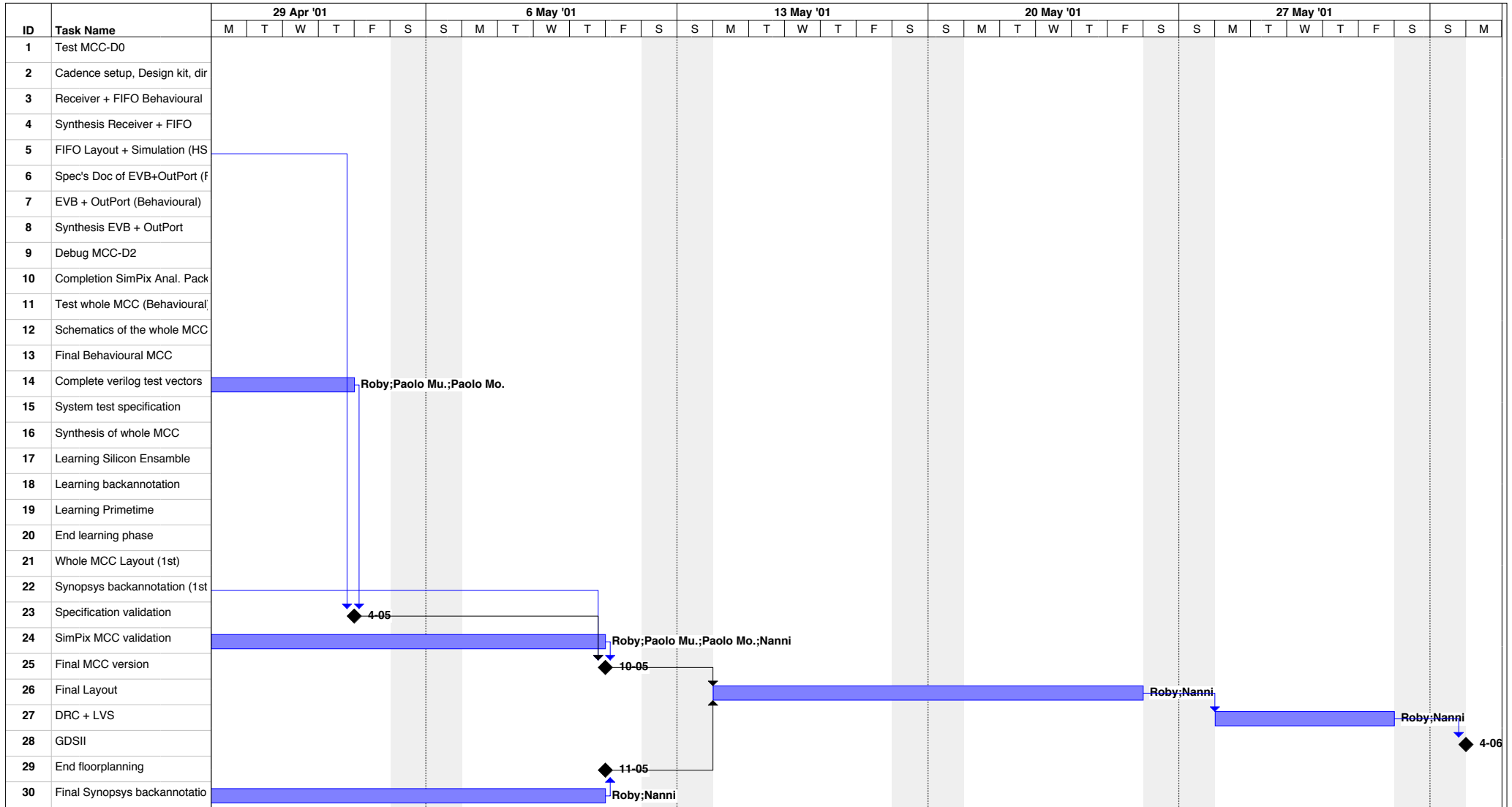
Per l'MCC-D2 ci sono sempre problemi di comprensione del funzionamento dell'event builder (n.r. nel pomeriggio Paolo Mo. ha cambiato il quarzo del MCCex da 40 MHz a 10 MHz e l'event builder ha preso a funzionare).

3. A.O.B.

Non ci sono progressi sull'analisi del Test Beam di Novembre. Pure la stesura dell'articolo sull'MCC non è avanzata.

La prossima riunione è stata fissata per Mercoledì prossimo 28 Febbraio alle ore 11

La riunione Iniziata alle ore 10:00 termina alle ore 12:00



Project:
Date: Thu 22-02-01

Task Milestone Rolled Up Task Rolled Up Progress

Progress Summary Rolled Up Milestone