

## Minute Riunione MCC-DSM Design del 14 Marzo 2001

(Riunione settimanale di avanzamento progetto)

**Presenti:** Nanni, Paolo Mu., Roberto.

La scorsa settimana abbiamo saltato la riunione settimanale poiché sia Roberto che Paolo Mu. erano impossibilitati a partecipare.

### **1. Pianificazione temporale.**

La prima milestone che avevamo spostato di una settimana nella riunione del 28 Febbraio 01 (Final Behavioural MCC) è per il momento mantenuta al 30/3/01.

### **2. Verilog Behavioural.**

Roberto sta continuando a riscrivere il blocco Receiver. Cambiando la struttura di memoria (da FIFO a RAM sincrona) l'organizzazione interna del blocco è completamente diversa. Dal punto di vista delle specifiche queste risultano invece immutate. Gli aspetti principali del Receiver:

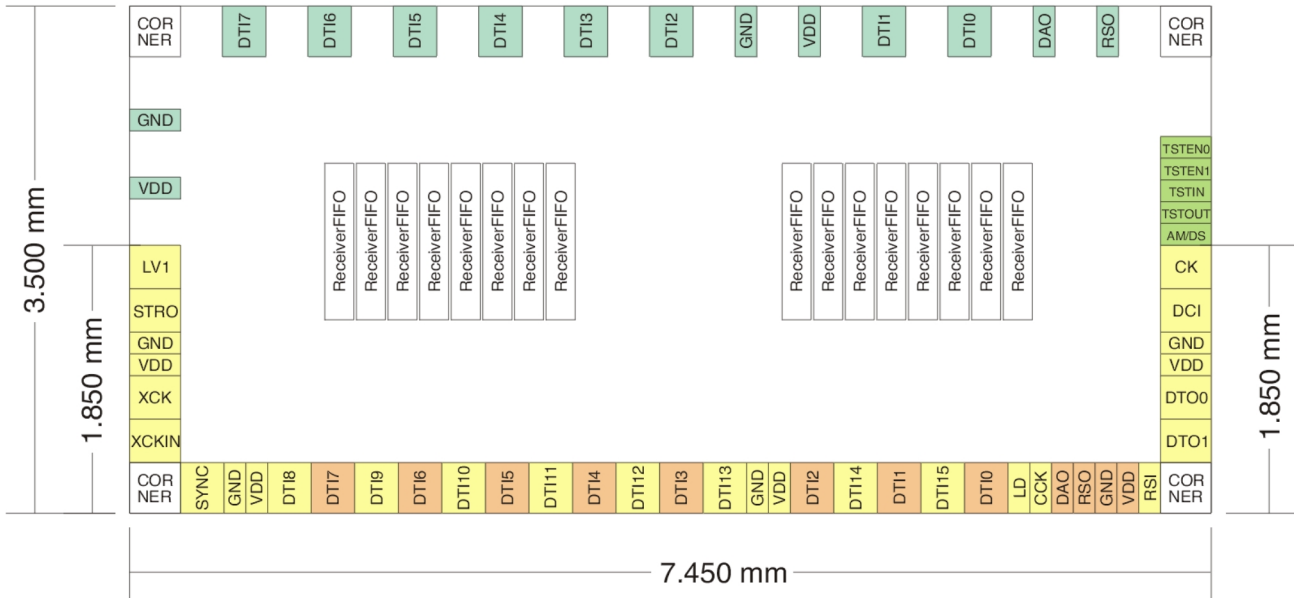
- Saranno implementati 4 contatori: puntatore di lettura (ReadCtr), puntatore di scrittura (WriteCtr), contatore del numero di parole scritte (NwordCtr), e contatore del numero di end-of-events (EoECtr). In particolare l'EoECtr deve contenere sempre un numero minore o uguale a 16, nel caso tale numero venga superato il Receiver genera un segnale di Lock che viene utilizzato dall'EventBuilder, e il Receiver smette di scrivere nella RAM. L'EventBuilder in presenza del segnale di Lock, continua a ricostruire gli eventi memorizzati nella RAM di quel Receiver e poi elimina la ricostruzione degli eventi per quel front end (FE). Tale FE verrà flaggato con un messaggio d'errore fino al suo reset (comando di ECR).
- Nel caso di evento che superi i limiti della RAM questo verrà scritto, ma troncato. Nei precedenti MCC a causa delle dimensioni minori della FIFO si era deciso d'eliminare completamente tutti gli hit degli eventi che generassero overflow.
- L'uscita delle RAM sarà selezionata tramite un multiplexer invece d'utilizzare un bus tristate (non esistono nella libreria CERN/RAL elementi tristate).

Paolo Mu. dovrà modificare l'EventBuilder tenendo in considerazione che l'uscita delle RAM è sincrona e sarà selezionata da multiplexer e non da tristate. Paolo Mu. cercherà di eliminare la presenza dei record 'NULL' nel caso di modo a 160 Mb/s e rivedrà il disegno del multiplexer di uscita del segnale DTO (elemento critico per la possibile generazione di spike). La settimana prossima Roberto e Paolo Mu. metteranno assieme EventBuilder e Receiver controllando il timing tra i due blocchi.

Ulteriori modifiche necessarie sono l'eliminazione del transparent mode e aggiunta dei pin supplementari per il modo compatibile AMS (vedi figura del pinout).

Roberto chiamerà K.Kloukinas per avere informazioni sul chip di test della RAM che utilizzeremo nel disegno. Per il momento Kloukinas ci ha fornito solo il modello Verilog (con temporizzazioni).

- MCC-DSM and MCC-AMS
- MCC-DSM only
- MCC-AMS only
- Test



### 3. Layout.

Nanni ha lavorato con Silicon Ensemble (sesdm/seultra). Le prime prove sono state fatte seguendo un tutorial di Cadence (SE\_TUTORIAL). I principali passi seguiti sono:

- Importazione delle librerie in formato LEF (Library Export Format) e dei file di timing CTLF (Compiled Timing Library Format);
- Importazione del disegno in formato DEF (Design Export Format) o Verilog;
- Importazione di file di constraints temporali per il piazzamento SDF (Standard Delay Format);
- Piazzamento di pad di I/O e dei blocchi;
- Creazione del routing del power (ring e strips);
- Piazzamento con Qplace delle celle e analisi dei risultati;
- Global route e final route;

Nanni ha quindi fatto dei test utilizzando un blocco sintetizzato dell'MCC-DSM ed è riuscito ad importare disegno e librerie. I passi che devono essere ancora fatti per arrivare ad un apprendimento (iniziale) del tool sono principalmente la generazione del clock-tree e il tuning del piazzamento/routing in modo da ottenere il rispetto delle richieste temporali. Va infine capito come utilizzare 5 livelli di metallo disponibili nell'engineering run, mentre ora le librerie sono definite per utilizzarne solo 3 (Nanni ha scritto in proposito a Gerrit Meddler). Per approfondire e accelerare la comprensione di Silicon Ensemble™ abbiamo deciso di partecipare ad un corso di Cadence (Nanni e Roberto) che si terrà i giorni dal 27-30 Marzo (Silicon Ensemble™ Place & Route) o dal 23-26 Aprile (Advanced Silicon Ensemble™ Place & Route).

*La prossima riunione si terrà Mercoledì 21 Marzo alle ore 11*