

# **Minute Riunione MCC-DSM Design del 21 Marzo 2001**

(Riunione settimanale di avanzamento progetto)

**Presenti:** Carlo, Nanni, Paolo Mo., Paolo Mu., Roberto.

## **1. Pianificazione temporale.**

La prima milestone che avevamo spostato di una settimana nella riunione del 28 Febbraio 01 (Final Behavioural MCC) è per il momento mantenuta al 30/3/01.

## **2. Verilog Behavioural.**

Roberto ha completato il nuovo codice del Receiver e lo sta attualmente testando. Roberto non ha ancora provato a sintetizzare il modulo del Receiver, ma non dovrebbero esserci particolari problemi. Domani è prevista l'integrazione del Receiver nell'MCC completo. Il lavoro sarà fatto da Paolo Mu. e Roberto. Paolo Mu. per preparare l'integrazione farà oggi le piccole modifiche necessarie, data la differente struttura delle FIFO, al blocco dell'EventBuilder. Paolo Mu. si occuperà pure dell'eliminazione dal modello del Transparent Mode e aggiungerà la nuova serie di pad per ottenere la compatibilità del chip con il pad layout AMS.

Roberto ha provato il simulatore Verilog di Synopsys (VCS) e l'ha trovato molto più evoluto per quanto riguarda il debugger rispetto a quello di Cadence. Inoltre, tale simulatore dovrebbe essere 10-15 volte più veloce ed è integrato con i tool di sintesi. Roberto, in aggiunta, ha affermato che alcuni glitch del simulatore di Cadence che aveva trovato nella simulazione dell'MCC-D2 non dovrebbero essere presenti con VCS. Si è discusso sulla difficoltà d'integrarlo con SimPix, ma a detta di Paolo Mo. e Roberto sembra essere un problema di facile soluzione. Si è quindi deciso d'usare VCS invece di Verilog di Cadence. Roberto si occuperà, con l'aiuto di Alessandro, della ricompilazione dei moduli per l'interfacciamento di VCS con SimPix.

## **3. Simulazione e SimPix.**

Paolo Mo. ha quasi completato lo Scripting Language per generare i vettori di test d'ingresso all' modello Verilog dell'MCC. Tale scripting language genera un file ascii con i vettori di test per i 17 segnali in ingresso all'MCC (DCI, DTI<15:0>). Questo file può essere quindi interpretato, sia da un modello verilog che a sua volta genera i segnali con le corrette temporizzazioni per l'MCC, sia da SimPix che può quindi utilizzarlo per tutti i suoi plugin hardware / software (MCCex, modelli in C++, modello Verilog dell'MCC, etc...). Lo scripting language così come definito ha la possibilità di definire variabili, permette la sostituzione di variabili, implementa loop, permette di fare aggiustamenti di timing tra comandi successivi e ha implementato tutti i comandi definiti per l'MCC-DSM. Manca ancora l'implementazione della generazione d'eventi sugli ingressi dai FE e la risposta alla configurazione dei FE. Paolo Mo. aggiungerà nel interprete dello scripting language la possibilità d'avere un listato del programma sorgente con l'informazione del timing in cui ogni comando viene generato. In questo modo è facilitata la ricerca e la verifica durante la simulazione dei segnali d'ingresso e corrispondenti uscite dal chip sapendo con precisione il momento in cui cercare le informazioni nel display delle forme d'onda. La settimana prossima Paolo Mo. insieme a Roberto e Paolo Mu. proverà la sua prima release del pacchetto software.

Nanni farà una proposta di come mantenere un collegamento tra le specifiche di disegno, i file con i vettori di simulazione e le persone che devono verificare i codici dell'MCC. Lo scopo è quello di ridurre al minimo la possibilità che sfuggano alcuni controlli di verifica del chip.

#### **4. Layout.**

Nanni ha continuato lo studio di Silicon Ensemble™ utilizzando il blocco del Command Decoder dell'MCC-DSM. Nanni ha trovato 2 problemi: uno sul piazzamento utilizzando un file SDF, l'altro la generazione dell'albero del clock. Per quanto riguarda il piazzamento con un file di constraint SDF generato da Synopsys, la ragione è che il file SDF prodotto era un file di informazioni temporali e non di constraint. Roberto dovrà vedere come si fa a generare il file corretto (verrà fatto con priorità secondaria rispetto al disegno del Receiver e sua integrazione nell'MCC). Per quanto riguarda la generazione dell'albero del clock (mediante CT-GEN) il problema è che il programma abortisce con un messaggio che sembra incolpare le librerie CERN/RAL di standard cell (\*\*SE-USER-61 ERROR\*\* FATAL ERROR: Problem detected during LEF, CRLF data read). Nanni farà ancora alcune prove e se negative si rivolgerà a K.Kloukinas (che ha disegnato le librerie o al supporto di RAL).

Nanni comunica che non ha ricevuto nessuna risposta da Gerrit Meddeler su come utilizzare 5 metalli in Silicon Ensemble. Nanni e Roberto si sono iscritti al corso "Advanced Silicon Ensemble Place & Route" che si terrà ad Haar (vicino a Monaco) dal 23 al 26 Aprile. Poiché sono richieste almeno 3 persone per tenere il corso abbiamo chiesto se persone INFN di Pisa, Padova, Bologna e Torino che conosciamo lavorare nel chip design fossero interessate a partecipare. Abbiamo informato anche Peter Fischer e Giacomo Comes della possibilità vista anche la vicinanza della sede del corso da Bonn.

*La prossima riunione si terrà Mercoledì 28 Marzo alle ore 10*