

Minute Riunione MCC-DSM Design del 28 Marzo 2001

(Riunione settimanale di avanzamento progetto)

Presenti: Carlo, Nanni, Paolo Mo., Roberto.

1. Pianificazione temporale.

Abbiamo fatto il punto sulla prima milestone che è ormai prossima (Final Behavioural MCC, del 30/3/01). Abbiamo convenuto che la versione Behavioural dell'MCC sarà completata nei primi giorni della prossima settimana con un lieve slittamento rispetto alla data fissata (Venerdì 30 Marzo).

2. Verilog Behavioural.

Roberto ha completato il nuovo codice del Receiver e lo ha testato singolarmente. Paolo Mu. e Roberto hanno quindi istanziato 16 copie del Receiver e un Event Builder ed è stata fatta una rapida verifica del loro funzionamento insieme utilizzando (pochi) eventi simulati con caratteristiche "limite". Il test esaustivo sarà fatto una volta completata la chiusura completa del disegno. Paolo Mu. ha quindi trasformato alcune parti che per motivi storici avevamo in forma di schematico (latch e FF di sincronizzazione con i segnali provenienti dall'I/O del chip in codice Verilog (ciò ci permetterà una più semplice sintesi di tutto il chip). Di tale modulo va verificato il comportamento non solo con vettori di test, ma va controllata l'accuratezza temporale. Roberto farà tale verifica una volta che il chip sarà sintetizzato. Si stima che nei primi giorni della prossima settimana avremo un chip descritto in forma Verilog Behavioural dell'MCC. Tale versione dell'MCC avrà ancora parte degli errori trovati nell'MCC-D2 (che verranno corretti in seguito) e mancherà della PendingLv1FIFO che verrà ora realizzata in Standard Cell. (*L'ottenimento di tale codice Behavioural è la nostra prima milestone*).

Roberto ha provato a fare una prima sintesi del Receiver con la richiesta di un periodo di clock di 12 ns (a LHC saranno 25 ns) e ha comparato i risultati con quello dell'MCC-D2. I risultati sono riportati in tabella 1.

	MCC-D2	MCC-DSM	Rapporto D2/DSM
No. Stand.Cells	309	432	0.71
No. FF	64	64	1.00
Area	900.21	187.15	4.81

Tabella 1: Comparazione del Receiver dell'MCC-D2 e dell'MCC-DSM. La misura dell'area non comprende il routing.

3. Simulazione e SimPix.

Paolo Mo. ha pressoché completato lo Scripting Language per generare i vettori di test d'ingresso al modello Verilog dell'MCC e aspetta di poterlo provare sull'MCC. Tale test che doveva essere fatto questa settimana è rimandato a dopo il completamento dell'MCC. Paolo Mo. preparerà un documento con la lista dei comandi, e relativi parametri, interpretati dal suo Scripting Language. (tale nota sarà aggiunta alle prossime minute).

Roberto e Alessandro devono ancora compilare l'interfaccia SimPix/VCS, lo faranno la prossima settimana.

Si è discusso su come mantenere un collegamento tra le specifiche di disegno, i file con i vettori di simulazione e le persone che devono verificare i codici dell'MCC. La proposta di Nanni è di avere un file Excel con i seguenti campi:

- Document: Nome del documento di specifiche;
- Section: Numero della sezione del documento;
- Short Description: Breve descrizione di cosa va testato;
- File/Directory: Nome della directory in cui verranno messi i files. Sorgente, dump file, risultati di simulazione, difference file, etc.;
- StartTime: Istante temporale all'interno del file di simulazione in cui comincia il test descritto;
- Responsible: Nome di chi ha fatto e controllato la simulazione.

4. Layout.

Nanni ha continuato i test su Silicon Ensemble ed in particolare ha provato la generazione del Clock Tree (CTGEN). Dopo alcune iniziali problemi dovuti a link mancanti a librerie, il tool ha funzionato con risultati che sembrano ragionevoli. Per il momento la prova è stata fatta sul Command Decoder, Bisogna vedere come CTGEN si comporterà sul chip completo. Non è stato ancora testato il piazzamento con un file di constraint (SDF) generato da Synopsys.

In seguito ad una chiacchierata con K.Kloukinas, abbiamo ottenuto un certo numero d'informazioni che potrebbero essere utili:

- È disponibile (e dovrebbe essere messa in distribuzione nel giro di pochi giorni) una nuova versione della libreria di Standard Cell di RAL (v.1.0.2) nella quale sono state inserite le temporizzazioni nei file TLF delle celle di I/O.
- Nelle librerie di RAL i wire load (che sono usati da Synopsys) non sono eccessivamente accurati, ci stanno lavorando, ma non è un problema di facile soluzione.

Nanni e Roberto seguiranno il corso Advanced Silicon Ensemble ad Haar (Monco di Baviera) dal 24-27 Aprile. Anche Peter Fischer e 2 altre persone dell'INFN di Torino seguiranno lo stesso corso.

5. Action List.

Le persone coinvolte nel progetto hanno come lista di priorità per i prossimi giorni:

- Nanni: Produrre la lista di PAD di I/O, Contattare Kevin per le pad della libreria Pixel (per avere il technology file (.tf), il file LEF, e informazioni di timing), produrre un file SDF del Command Decoder dopo il layout per provarlo ad importare in Synopsys (Roberto), continuare fase di apprendimento di Silicon Ensemble.
- Paolo Mo.: Documento con la lista dei comandi dello scripting language, completare le misure sull'MCC-D2 per concludere la valutazione sulla resa di produzione dei chip;
- Paolo Mu.: Completamento della chiusura dell'MCC a livello Behavioural: Switch AMS/DSM mode, Top level, I/O pad, descrizione sintetizzabile della PendingLv1FIFO;
- Roberto: Sintesi completa del chip, contattare K.Kloukinas per avere una vista Abstract della RAM da utilizzare per il Floorplanning/Layout, ricompilazione dell'interfaccia per l'utilizzo di SimPix/VCS.

La prossima riunione si terrà Mercoledì 4 Marzo alle ore 10