

# **Minute Riunione MCC-DSM Design del 11 Aprile 2001**

(Riunione settimanale di avanzamento progetto)

**Presenti:** Nanni, Paolo Mo., Paolo Mu., Roberto.

## **1. Pianificazione temporale.**

Si è valutato in circa una settimana il ritardo accumulato rispetto alla pianificazione fatta il 28 Febbraio 2001. Tale ritardo può essere recuperato con l'aiuto che ci verrà fornito da Giacomo Comes sul DRC (Design Rule Check) e LVS (Layout versus Schematics) a chip ultimato.

## **2. Annunci.**

Nanni informa che Kevin ha chiesto l'aggiunta di un cella di I/O per generare il riferimento di corrente necessario ai pad LVDS. Tale cella di I/O ha pure un bonding pad che può essere utilizzato per monitoraggio e non è da wire-bondare. Nanni ha preso contatti con Giacomo Comes (Bonn) chiedendogli se potesse venire a Genova per una settimana a MCC completato (fine maggio / inizio giugno) per aiutarci nelle fasi finali di chiusura del chip (DRC/LVS). Infatti non abbiamo molta esperienza con le verifiche DRC e LVS, in particolar modo per la nuova tecnologia, e Giacomo potrebbe dare un contributo prezioso. Giacomo è d'accordo, Nanni sentirà Peter (e Norbert) dopo Pasqua per verificare che siano d'accordo con la proposta. Peter ha detto che lo studente che sta sviluppando il porting su tecnologia DSM del circuito Delay sta lavorando sul disegno sotto la sua supervisione.

## **3. Verilog Behavioural.**

Il disegno a livello behavioural è completato, non è stato però ancora ottenuta una sintesi globale del chip. Paolo Mu. ha simulato con Hspice il circuito di sincronizzazione delle uscite DTO/DTO2 e questo funziona senza generare spike. Tale circuito è facilmente implementabile in Standard Cell utilizzando la sintesi del clock con il programma CT-Gen. Roberto ha studiato la libreria di macro celle in Synopsys che permette di sintetizzare in modo automatico e con parametri ben definiti strutture complesse quali FIFO o RAM. Roberto ha intenzione di sviluppare la PendingLv1FIFO utilizzando una macro di Synopsys. L'idea sembra buona e sarà seguita.

## **4. Simulazione e SimPix.**

Paolo Mo. ha terminato lo scripting language e ne ha dato una dimostrazione sul suo portatile. Non lo ha ancora implementato in Unix, quindi per ora l'utilizzo è limitato ad ambiente Windows. Il dump dei vettori di test una volta generati è trasferito su Sun come stimolo al modello Verilog dell'MCC. Lo scripting language genera pure un listato in cui sono presenti il numero di linea del comando e l'istante d'inizio del comando. In tale modo è semplificata la ricerca nel file di forme d'onda dei segnali in ingresso ed uscita all'MCC. Non è stato ancora possibile provare il funzionamento sul modello di MCC.

## **5. Layout.**

Nanni è riuscito ad utilizzare il programma di generazione del clock tree (CT-Gen) e non sono stati trovati particolari problemi. Si utilizzerà quindi tale programma per l'MCC. Nanni (e Roberto) ha cominciato a trasformare i file per l'utilizzo di 5 metalli per il routing invece dei 3 previsti dalla

libreria e dal kit distribuito da RAL. Il LEF file è stato modificato (sembrerebbe correttamente), il problema principale sono i valori delle capacità per unità d'area. Per ora sono stati messi per i metalli 2, 3 e 4 i valori che erano stati dati al metallo 2, mentre il 5° livello ha mantenuto quello del terzo. Nanni ha scritto a Kevin per sapere i valori che sono stati utilizzati nel disegno del FE-I, ma per ora non ha avuto tale informazione. Ulteriore lavoro è necessario per modificare le variabili in Silicon Ensemble e nel technology file di Cadence (e in quale altro ancora?)

## 6. Action List.

Verifica dello stato dell'action list della scorsa settimana:

- Nanni: L'action list della scorsa settimana era: modifica del LEF file (fatta), prova di layout con constraint temporali e del chip completo (non fatta).
- Paolo Mo.: L'action list della scorsa settimana era: prova dello scripting language con l'MCC-DSM behavioural o netlist (non fatto);
- Paolo Mu.: L'action list della scorsa settimana era: disegno e test del modulo di uscita per DTO/DTO2 (fatto), eliminazione del NULL (non fatto), inizio vettori di test e debugging (non fatto);
- Roberto: L'action list della scorsa settimana era: sintesi completa del chip (non fatto), contattare K.Kloukinas per avere una vista Abstract della RAM da utilizzare per il Floorplanning/Layout (non trovato, in vacanza?), ricompilazione dell'interfaccia per l'utilizzo di SimPix/VCS (fatto parzialmente).

Per i prossimi giorni ci si propone come priorità il completamento della "action list" della scorsa settimana.

*La prossima riunione si terrà Giovedì 19 Aprile alle ore 10*