

Minute Riunione MCC-DSM Design del 19 Aprile 2001

(Riunione settimanale di avanzamento progetto)

Presenti: Nanni (dal CERN), Paolo Mo., Roberto.

1. Pianificazione temporale.

Non è stata fatta un'analisi della pianificazione temporale. La sottomissione del chip sincronizzata con quella del FE-I avverrà alla fine di Giugno. Si intende chiudere il chip il 15 Giugno per lasciare il tempo all'esecuzione del DRC con Hercules che dovrà essere fatta al CERN. Tale DRC aggiuntivo deve essere fatto affinché il chip sia accettato per la sottomissione.

1. Annunci.

Roberto presenterà un talk sull'MCC-D0/D2 a "7th Workshop on Electronics for LHC Experiments" che si terrà a Stoccolma il 10-14 Settembre 2001. La deadline per la presentazione degli abstract è il 30 Aprile.

Nanni informa che il chip di FE-I sta procedendo e che la sottomissione è prevista per il 30 Giugno. Tale ritardo, rispetto a quanto previsto al tempo della Pixel Week di Febbraio, è di circa un mese. L'effetto di tale ritardo si presenta per il disegno dell'MCC-DSM come un reale slittamento di 15 giorni non avendo previsto nella "pianificazione temporale" il tempo per l'esecuzione del DRC con Hercules necessario per l'accettazione del chip (assunto di 15 giorni).

Kevin ha informato che il disegno delle pads di I/O è in ritardo a causa del ridisegno della protezione per le cariche elettrostatiche (il disegno della libreria CERN/RAL non è accettabile). Non abbiamo informazioni su quando riceveremo le celle di I/O da LBL.

2. Verilog Behavioural.

Paolo Mu. (riportato da Roberto) ha eliminato la necessità dell'utilizzo del NULL nel formato d'uscita a 160 Mb/s. Per fare ciò ha dovuto utilizzare una memoria all'uscita dell'Event Builder, realizzata in forma di registro a 64 bit invece che di 32 bit. L'uscita vera e propria dal chip avviene attraverso un multiplexer 64 -> 4 (invece che 32 -> 4). Tale soluzione potrà essere abbastanza pesante a livello d'area del chip (per ora non sappiamo quanto). Paolo Mu. ha l'impressione che questo nuovo disegno sia più stabile ed, inoltre, anche se non è ancora stato sintetizzato passa tutti i test di sintesi.

Roberto ha sentito K.Kloukinas per la RAM da utilizzare in numero di 16 copie all'interno del chip: Venerdì 20 Aprile dovremmo ricevere l'Abstract, mentre il layout completo intorno al 5 Maggio. Roberto ha realizzato anche la PendingLv1Fifo con macro cell di Synopsys che vengono a loro volta mappate in standard cells (nell'MCC-D2 era realizzata come elemento full-custom).

3. Simulazione e SimPix.

Roberto insieme ad Alessandro Brunengo ha messo a punto l'interfaccia che permette di collegare via rete VCS (Simulatore Verilog di Synopsys) e quindi poter interfacciare un modello Verilog dell'MCC con SimPix. Il lavoro ha richiesto più tempo del previsto, ma ora funziona correttamente. Paolo Mo. ha messo a punto anche la versione stand alone dello scripting language (ossia non integrata in SimPix), ora tutti gli elementi per simulare l'MCC-DSM sono pronti. Nelle prossime

settimane anche Paolo Mo. oltre a Paolo Mu. si occuperà della simulazione e certificazione del disegno.

4. Layout.

Nanni ha fatto prove di layout con 5 metalli, ma le librerie e technology file (file *.lef) non sono adatti per utilizzare "stacked via" permesse dalla tecnologia, vanno quindi ulteriormente modificati. Dovremo decidere nelle prossime settimane se utilizzare solo 3 metalli o rischiare e modificare il kit di RAL per l'utilizzo a 5 metalli. Dopo il corso di Cadence della prossima settimana decideremo quale soluzione sia più opportuna.

5. Action List.

Verifica dello stato dell'action list della scorsa settimana e successiva action list:

- Nanni: Doveva fare prove di layout con constraint temporali (non fatte) e un layout del chip completo (non fatto). Per la prossima settimana seguirà il corso di Silicon Ensemble
- Paolo Mo.: Doveva provare lo scripting language con una versione dell'MCC (non completata), per i prossimi giorni test e validazione dell'MCC;
- Paolo Mu.: ha eliminato il NULL, per i prossimi giorni simulazione del chip completo (insieme a Paolo Mo.);
- Roberto: Ha completato l'interfaccia SimPix/VCS, ha contattato K.Kloukinas per avere una vista Abstract della RAM da utilizzare per il Floorplanning/Layout, per i prossimi giorni prova dello scripting language / SimPix con VCS e MCC (insieme a Paolo Mo.), partecipazione al corso di Silicon Ensemble, quindi sintesi di tutto l'MCC.

Poiché sia Roberto che Nanni saranno assenti la prossima settimana, si decide di incontrarci fra 2 settimane.

La prossima riunione si terrà Mercoledì 2 Maggio alle ore 10