

Minute Riunione MCC-DSM Design del 2 Maggio 2001

(Riunione settimanale di avanzamento progetto)

Presenti: Nanni, Paolo Mo., Paolo Mu., Roberto.

1. Pianificazione temporale.

Da una breve analisi dello stato del progetto si è visto che il punto più critico è la generazione dei vettori di test e correzione degli errori presenti nel codice Verilog che descrive il chip completo.

2. Annunci.

Nanni e Roberto hanno partecipato al corso di 4 giorni che si è tenuto ad Haar (in Baviera) sul tool di layout Silicon Ensemble. Il corso è stato senz'altro molto utile e ci permetterà l'utilizzo più appropriato del programma per generare il layout dell'MCC.

Questa settimana si terrà a LBL una riunione dei progettisti del FE-I.

Carlo si è brillantemente laureato e presenterà un sunto dei risultati della sua tesi alla prossima Pixel Week. Nelle prossime settimane contribuirà al disegno dell'MCC preparando i vettori di test per simulare il chip.

3. Verilog Behavioural.

Non ci sono particolari novità sul fronte del disegno, la descrizione del chip è completa, ma non è stato fatto ancora alcun lavoro di pulizia degli errori che risultavano presenti nell'MCC-D2. In aggiunta, con il funzionamento della simulazione fatta tramite SimPix, Paolo Mo. ha trovato una serie di altri errori o malfunzionamenti che vanno capiti e/o corretti. Paolo Mu. e Roberto, che hanno scritto il codice, dovranno mettere a posto il modello dell'MCC. Per non avere un ritardo nella sottomissione del chip è necessario che il codice venga corretto entro fine maggio. Roberto ha ricevuto oggi da K.Kloukinas l'abstract e la libreria LEF per la RAM da usare nelle FIFO.

4. Simulazione e SimPix.

Paolo Mo. con l'aiuto di Roberto ha provato a simulare il codice dell'MCC tramite SimPix. Già dai primi eventi sono apparsi un certo numero d'errori nel modello. Il programma è ora rilasciato e Paolo Mu. e Roberto potranno usarlo per il debugging del chip. Paolo Mo. farà ancora alcune modifiche secondarie al suo programma e insieme a Carlo preparerà, in modo sistematico, i vettori di test necessari a simulare il chip.

5. Layout.

Il progresso principale sul layout del chip è stato lo seguire il corso di Cadence. Nanni sta modificando i file di descrizione della tecnologia in modo da poter lavorare con 5 livelli di metallo invece di 3 e con regole di progetto più vicine a quelle specificate dalla tecnologia.

Una volta completate le modifiche Nanni proverà ad eseguire il layout completo di un blocco dell'MCC, il passo successivo sarà il layout completo con una netlist vicina a quella finale. Entrambi i passi dovranno essere completati per fine maggio. L'ultimo passo sarà il layout finale con la netlist corretta. Quest'ultimo passo dovrebbe essere quasi automatico mediante l'utilizzo degli script generati in precedenza.

6. Action List.

La suddivisione delle attività per i prossimi giorni:

- *Carlo*: Generazione dei vettori di test e simulazione dell'MCC;
- *Nanni*: Modifica della libreria LEF per la tecnologia con 5 metalli, test della nuova libreria su un blocco dell'MCC, layout completo dell'MCC;
- *Paolo Mo.*: Preparazione vettori di test e simulazione dell'MCC, alcune modifiche dei tool SimPix;
- *Paolo Mu.*: Correzione degli errori nella sua parte di disegno, generazione vettori di test relative a "condizioni di bordo" delle sue parti di disegno;
- *Roberto*: Sintesi globale del chip, generazione dei file di constraint temporali per il layout, modello temporale (TLF) per la RAM di K.Kloukinas, correzione degli errori nella sua parte di disegno.

La prossima riunione si terrà Mercoledì 9 Maggio alle ore 10