

Minute Riunione MCC-DSM Design del 9 Maggio 2001

(Riunione settimanale di avanzamento progetto)

Presenti: Nanni, Paolo Mo., Paolo Mu., Roberto.

1. Pianificazione temporale.

Si è riconsiderata la pianificazione temporale fatta al tempo della Pixel Week di febbraio e si è visto che abbiamo accumulato un ritardo di 3-4 settimane. Non sembra facile il recupero del ritardo accumulato, ritardo dovuto anche a lavori non previsti su modifiche di librerie e file di tecnologie. Va però detto che rispetto a quanto previsto a febbraio la sottomissione è slittata di circa un mese (fine Giugno invece che inizio Giugno). Al fine di recuperare le ore di manpower necessario abbiamo deciso di ridurre la partecipazione alla Pixel Week al solo meeting d'elettronica, in aggiunta Giacomo Comes ci verrà in aiuto venendo a Genova per una settimana (a partire dal 4 Giugno).

2. Annunci.

Peter Fischer ci ha informato che stanno lavorando alla delay line: lo schema elettrico è pronto e il layout è in corso. Da LBL abbiamo ricevuto un file GDSII con le pad di I/O (in versione preliminare), quelle definitive ci sono state promesse per inizio Giugno. Ci verrà fornito solo il layout e lo schema elettrico, mentre dovremo generarci il file LEF. A Genova dovremo anche generare i technology file per Silicon Ensemble per usare 5 livelli di metallo (quelli del kit CERN/RAL sono per soli 3 metalli).

3. Verilog Behavioural e Strutturale.

È cominciato il lavoro di correzione del codice Verilog che descrive l'MCC: alcuni errori trovati con SimPix sono stati corretti. Dalle prime sintesi complete del chip risulta che a fronte di una richiesta di funzionamento con un periodo di 12 ns la sintesi con parametri di funzionamento "worst case" ottiene un funzionamento con path di 21 ns (slack per longest path di -9 ns rispetto ai 12 ns richiesti). Dai modelli sembra che il worst case è un fattore 2.0 x 1.75 volte più lento rispetto al funzionamento nominale. La parte più lenta del circuito è nell'event builder. Paolo Mu. proverà a ottimizzare il codice per recuperare, almeno in parte, i 9 ns. Il chip sintetizzato ha un 30 % più celle rispetto al circuito in DMILL, ma l'area è molto minore, forse inferiore ai 25 mm² stimati a febbraio.

4. Simulazione e SimPix.

Paolo Mo. ha presentato la lista di vettori di test che lui e Carlo prepareranno nei prossimi giorni. La scrittura sembra essere abbastanza rapida, la verifica della correttezza di funzionamento del chip sarà invece più lunga. Dovremo ottimizzare il feedback tra chi simula il chip (Paolo Mo. e Carlo) e chi deve correggere gli errori trovati (Paolo Mu. e Roberto). Per ogni set di vettori di test la simulazione del modello behavioural verrà comparata con il funzionamento del modello strutturale (post sintesi) per differenti valori delle condizioni di corner (nominale, best, worst) e per differenti frequenze di funzionamento.

5. Layout.

Nanni ha modificato il file di tecnologia (LEF) inserendo:

- 5 livelli di metallo (al posto di 3 originari);
- valori (corretti?) per plate ed edge wire capacitance;
- Resistenza delle vie;
- Stacked via (per i segnali);

Manca ancora:

- Stacked via per le alimentazioni;
- Antenna rule (probabilmente fondamentali per il nostro disegno);
- Double contact via (opportune per garantire una resa più alta, ma non fondamentali);

Da prime prove fatte sembra che le modifiche apportate funzionino correttamente.

6. Action List.

La suddivisione delle attività per i prossimi giorni:

- Carlo: Generazione dei vettori di test e simulazione dell'MCC;
- Nanni: Completamento delle modifiche della libreria LEF per la tecnologia con 5 metalli, layout completo dell'MCC;
- Paolo Mo.: Preparazione vettori di test e simulazione dell'MCC, alcune modifiche dei tool SimPix;
- Paolo Mu.: Correzione degli errori nella sua parte di disegno e ottimizzazione in velocità/area del circuito sintetizzato, generazione vettori di test relative a "condizioni di bordo" delle sue parti di disegno;
- Roberto: Raffinamento degli script per la sintesi globale del chip, generazione dei file di constraint temporali per il layout, modello temporale (TLF) per la RAM di K.Kloukinas, correzione degli errori nella sua parte di disegno.

La prossima riunione si terrà Mercoledì 16 Maggio alle ore 10