

Minute Riunione MCC-DSM Design del 16 Maggio 2001

(Riunione settimanale di avanzamento progetto)

Presenti: Carlo, Nanni, Paolo Mo., Roberto.

1. Pianificazione temporale.

Non si è fatta una nuova valutazione, il progetto avanza, la preoccupazione maggiore è per le incognite che si possono incontrare nelle parti nelle quali non si è ancora arrivati in fondo: simulazione del disegno sintetizzato e layout mediante Silicon Ensemble.

2. Annunci.

Giacomo Comes verrà a Genova a partire da lunedì 4 Giugno. Si fermerà una settimana e forse alcuni giorni di quella successiva. Ci comunicherà nei prossimi giorni le date precise. Gli andrà trovato un posto di lavoro, probabilmente nell'officina elettronica: Roberto si occuperà del problema.

3. Verilog Behavioural e Strutturale.

Prosegue il lavoro di correzione del codice Verilog che coinvolge Carlo, Paolo Mo, Paolo Mu, e Roberto. Dopo una fase iniziale in cui molti errori venivano fuori ad ogni nuovo set di vettori di test, ora il circuito comincia a essere relativamente stabile, ci sono ancora alcuni errori noti che verranno fissati nei prossimi giorni da Roberto e Paolo Mu.

L' MCC-DSM sintetizzato ha un numero di celle circa doppio a quello DMILL o AMS. La maggior crescita è dovuta all'EVB che ha una grossa parte di multiplexer dei dati in uscita. Gli altri blocchi invece sono via via diminuiti di dimensione (Roberto ha fatto parecchio lavoro su tali blocchi riuscendo ad ottimizzarli). Il caso del blocco REG è a parte poiché nell'MCC-D2 aveva la PendingLv1Fifo fatta full custom, mentre negli altri casi è stata sintetizzata.

	MCC-DSM			MCC-D2	MCC-AMS
	No. Cell	Area Cell (mil ²)	Area Wiring (mil ²)	No. Cell	No. Cell
EVB	16.674	5.153	10.498	5.026	3.145
Receiver	438	146	712	446	701
CMD	478	167	682	572	1.405
REG	2.379	817	2.025	574	1.045
Totale Chip	27.052	8642	15.079	13.446	17.922

Tabella 1: Comparazione per MCC-DSM, MCC-D2 e MCC-AMS del numero di standard cell usate in differenti blocchi e, per l'MCC-DSM, valori dell'area dei blocchi e della relativa area di metallo per il routing stimato da Synopsys.

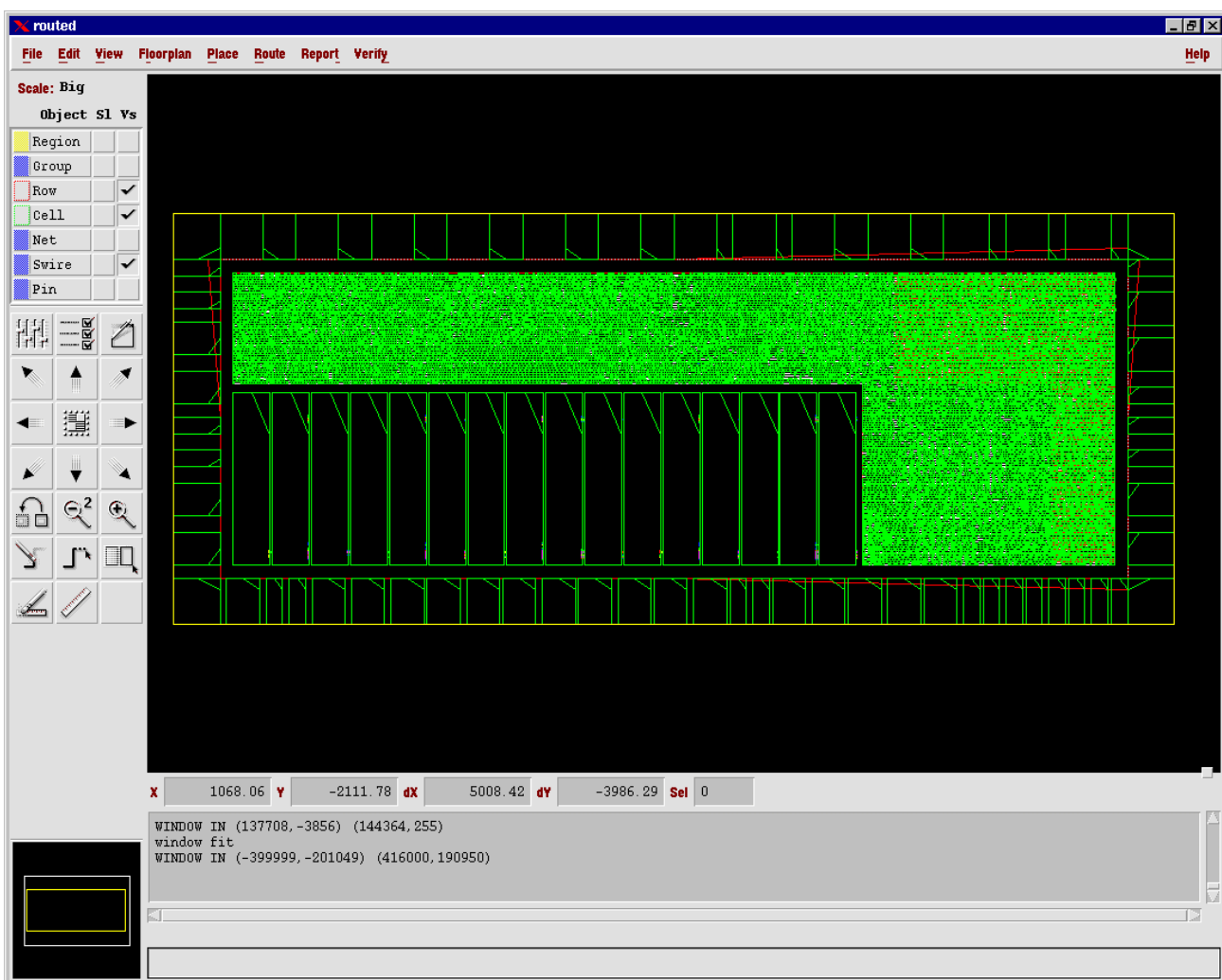
4. Simulazione e SimPix.

Paolo Mo. e Carlo stanno scrivendo i vettori di test in modo sistematico. Paolo Mo. ha continuato a fare alcune modifiche al tool SimPix per aumentarne la versatilità e potenza d'uso.

5. Layout.

Nanni ha fatto alcuni test di layout completo del chip (vedi figura) e ha ottenuto una dimensione di 7.6 x 3.1 mm² che è circa il 20 % dell'MCC-D2 nonostante abbia più del doppio dei transistor! Il layout utilizza 5 livelli di metallo, e stacked via. Il piazzamento (senza constraint temporali) e il routing sono stati ottenuti senza particolari difficoltà da Silicon Ensemble. La lunghezza totale dei collegamenti è di 6 m, mentre la stima di Synopsys era di 30 m (il wire model di Synopsys è molto pessimistico).

I problemi evidenziati nel layout sono relativi alle FIFO che hanno pin non su griglia (dovremo chiedere a K.Kloukinas di mettere a posto tali pin), e nel routing delle alimentazioni (qui non è ancora chiara l'origine del problema).



6. Action List.

La suddivisione delle attività per i prossimi giorni:

- Carlo: Generazione dei vettori di test e simulazione dell'MCC;
- Nanni: Modifica della libreria per utilizzare il metallo LM invece che MZ, modifiche della libreria LEF per double cut via, test del routing delle power net;
- Paolo Mo.: Preparazione vettori di test e simulazione dell'MCC, alcune modifiche dei tool SimPix;

- Paolo Mu.: Correzione degli errori nella sua parte di disegno e ottimizzazione in velocità/area della sua parte di disegno (EVB), generazione vettori di test relativi a "condizioni di bordo" per l'EVB;
- Roberto: Correzione errori nel Verilog di descrizione del chip, modifica dell'algoritmo "locked" della ReceiverFIFO, generazione dei file di constraint temporali per il layout (SDF), modello temporale (TLF) per la RAM di K.Kloukinas.

La prossima riunione si terrà Mercoledì 23 Maggio alle ore 10