

Minute Riunione MCC-DSM Design del 24 Maggio 2001

(Riunione settimanale di avanzamento progetto)

Presenti: Carlo, Nanni, Paolo Mo., Paolo Mu., Roberto.

1. Pianificazione temporale.

Non analizzata.

2. Annunci.

Giacomo Comes arriverà a Genova lunedì 4 giugno e partirà domenica 10. Giacomo ha informato che la Delay line in disegno a Bonn sarà pronta per la prossima settimana.

Rusty Boyd ha detto che con il pad layout proposto alla Pixel Week di febbraio (vedi: http://www.ge.infn.it/ATLAS/PixelWeek/Presentations/01-02_GD_MCC-DSM_PinOut/01-02_GD_MCC-DSM_PinOut.pdf) non è in grado di fare il routing del FH4.x (flex hybrid che è compatibile con il "module envelope"). Rusty farà una proposta entro fine settimana prossima, un eventuale cambiamento del pinout dell'MCC deve tener conto della compatibilità con l'AMS.

Kevin ci ha chiesto i file LEF modificati per l'utilizzo delle "double cut vias" per utilizzarli nel disegno di alcuni blocchi del FE-I. Sempre Kevin ci ha informato che ha chiesto a RAL la caratterizzazione delle Standard Cell per 1.8, 2.0 e 2.2 volt. Le caratterizzazioni sono derivate utilizzando i "K factors" dalla simulazione in Spice del funzionamento tipico (2.5 V, 25°, ...).

3. Verilog Behavioural e Strutturale.

Prosegue il lavoro di correzione del codice Verilog che coinvolge Carlo, Paolo Mo, Paolo Mu, e Roberto. Paolo Mu. è riuscito ad ottenere un aumento di velocità dell'EVB di 3 ns (da 21 ns è passato a 18 ns del tempo di ciclo), senza variazione delle dimensioni. Lo script di sintesi di tutto l'MCC impiega circa 4 ore per una sintesi completa del chip.

4. Simulazione e SimPix.

Paolo Mo. e Carlo stanno scrivendo i vettori di test in modo sistematico. Per ora la maggior parte dei vettori simula il funzionamento dell'event builder a 40 Mb/s, nei prossimi giorni verranno provati i funzionamenti a 80 e 160 Mb/s (sono necessarie alcune modifiche di SimPix e dell'interfaccia con Verilog). Carlo sta anche lavorando sul modello in C++ che serve a comparare MCC "reale" con modello "astratto". Carlo e Paolo Mo. hanno anche organizzato la documentazione relativa ai vettori di test su una pagina WEB che al momento si trova: <http://pcatl11.nt.ge.infn.it/MCC-DSM/>

5. Layout.

Nanni ha risolto alcuni problemi di definizione nella librerie delle pad di RAL che non permettevano il corretto routing del ring di VDD/GND e il collegamento ai ring interni d'alimentazione. I problemi erano legati a "obstruction" mal definite e a PIN/PORT non correttamente assegnate. Problemi simili erano presenti anche nella SRAM di Kostas Kloukinas. E' stato anche messo a punto il metallo LM al posto di quello MZ (il pitch di routing per questo metallo è di 2 μ m invece di 1 μ m). Prove di layout non sembrano dare problemi sia nel routing delle net VDD/GND che nelle net di segnale (regular net).

6. Action List.

La suddivisione delle attività per i prossimi giorni:

- Carlo: Generazione dei vettori di test e simulazione dell'MCC;
- Nanni: Modifica della libreria per "double cut vias", aggiunta delle "antenna rules" nel LEF file;
- Paolo Mo.: vettori di test e simulazione dell'MCC, alcune modifiche dei tool SimPix;
- Paolo Mu.: Ottimizzazione in velocità/area della sua parte di disegno (EVB);
- Roberto: Ricerca/correzione errori nel Verilog di descrizione del chip, generazione dei file di constraint temporali per il layout (SDF), modello temporale (TLF) per la RAM di K.Kloukinas.

La prossima riunione si terrà Mercoledì 30 Maggio alle ore 10