

Minute Riunione MCC-DSM Design del 30 Maggio 2001

(Riunione settimanale di avanzamento progetto)

Presenti: Carlo, Nanni, Paolo Mo., Paolo Mu., Roberto.

1. Pianificazione temporale.

Per lunedì prossimo va preparato un layout completo del chip su cui Giacomo possa iniziare le verifiche LVS (Layout vs. Schematic) e DRC (Design Rule Check).

2. Annunci.

Non abbiamo nuove informazioni sul disegno dei PAD da LBL. Giacomo ha preparato un file che permette d'estrarre l'area del gate dei transistor d'ingresso di tutte le Standard Cell per inserirli nei parametri atti a verificare le antenna rules durante il layout del chip. Sta attualmente estraendo i parametri per tutte le standard cells. Rusty non riesce ad utilizzare il pad layout proposto (U-shaped) e farà una sua proposta.

3. Verilog Behavioural e Strutturale.

Quasi tutti gli errori noti, trovati dal test dell'MCC-D2, sono stati corretti (manca la correzione del collegamento tra Delay Line e Register Bank). E' stato migliorato l'algoritmo che genera i flag di Warning/Errore (3 dei 4 flag sono ora generati e memorizzati direttamente all'interno delle ReceiverFIFO e quindi copiati dall'Event Builder nei dati d'uscita). Tali flag sono ora presenti solo nell'evento con errore e non in tutti i seguenti. Anche la generazione di LV1 contigui è ora definita e implementata con precisione (Roberto presenterà alla Pixel Week i dettagli dell'implementazione onde verificarne la compatibilità con il disegno dei ROD).

4. Simulazione e SimPix.

Paolo Mo. e Carlo hanno messo a punto la simulazione per utilizzarla anche nel modo 80 e 160 Mb/s. Hanno pure fatto alcune prove e, con eventi radi, non sembrano esserci problemi. Carlo sta correggendo alcuni glitch presenti nel modello C++ che in alcuni casi da risultati diversi dall'MCC in verilog. Tutti questi casi controllati manualmente hanno mostrato che l'MCC lavora correttamente e l'errore è nel modello C++. Una volta testato i modi a bit rate elevato, il prossimo test sarà sul modo "WriteReceiver" che è quello che servirà a provare anche durante l'esperimento la ricostruzione degli eventi fatta dall'Event Builder su dati simulati e non provenienti dai FE. Questa modalità è presente fin dall'MCC-AMS, ma non è mai stata effettivamente utilizzata (per mancanza di tempo / forza lavoro). In seguito verranno testate la configurazione dei FE, i vari livelli di reset, e il segnale di strobe generato dalla Delay line.

5. Layout.

Nanni ha completato la definizione del file di tecnologia aggiungendo le double cut vias che servono ad aumentare la resa in chip con tecnologia DSM. Anche le antenna rules sono state implementate nella tecnologia, in questo modo Silicon Ensemble dovrebbe generare layout senza violazioni

d'antenna (tali violazioni sono particolarmente fastidiose da correggere a mano, specie se presnti in numero di centinaia o migliaia). Per informazioni sulle antenna si consiglia di vedere http://www.icadence.com.tw/DSM_Home_Page/Application_Note/PAE_anotes.html. Da prove su disegni con un migliaio di celle, Silicon Ensemble è in grado di generare layout senza violazioni. Nanni ha generato un file con il modello temporale (TLF) della SRAM di Kloukinas.

6. Action List.

La suddivisione delle attività per i prossimi giorni:

- Carlo: Generazione dei vettori di test e simulazione dell'MCC;
- Nanni: Piazzamento con constraint temporali, layout del chip completo;
- Paolo Mo.: Preparazione vettori di test e simulazione dell'MCC, alcune modifiche dei tool SimPix;
- Paolo Mu.: Correzione d'eventuali errori che verranno trovati nella sua parte di disegno;
Roberto: Correzione errori nel Verilog di descrizione del chip, generazione dei file di constraint temporali per il layout (SDF/GCF).

7. Presentazioni alla Pixel Week di Giugno

Abbiamo deciso di dividere le presentazioni alla prossima Pixel Week nel modo seguente:

- MCC-DSM: Roberto presenterà lo stato del disegno/simulazione/sintesi del chip, Nanni il floorplanning/layout;
- Simulazione Architettura: Carlo presenterà la simulazione d'architettura dell'MCC-DSM con riguardo alle prestazioni in differenti condizioni di funzionamento del rivelatore;
- Test MCC: Paolo Mo. presenterà i test sugli MCC con particolare riguardo ai test sull'MCC-D2 e sulla pianificazione dei test del prossimo MCC-DSM.

La prossima riunione si terrà Mercoledì 6 Giugno alle ore 10