

Minute Riunione MCC-DSM Design del 6 Giugno 2001

(Riunione settimanale di avanzamento progetto)

Presenti: Carlo, Giacomo, Nanni, Paolo Mo., Paolo Mu., Roberto.

1. Pianificazione temporale.

Non abbiamo rivisto la pianificazione temporale. La settimana prossima, alla Pixel Week, avremo una valutazione più precisa di quando il team che lavora sul FE avrà completato il disegno e quindi rivedremo la nostra pianificazione temporale.

2. Annunci.

Abbiamo ricevuto da LBL (Peter Denes) un file GDSII delle Pad della libreria pixel. Tali pad mancano del trasmettitore LVDS da 3 mA, e hanno i ring delle alimentazioni separate per le alimentazioni analogiche e quelle digitali. Peter spera di darci le pad in ~15 giorni (dal 31/5). La Delay line disegnata da Ivan Peric (supervisionata da Peter Fischer) è pronta e sarà trasferita a Genova da Giacomo. Della RAM non abbiamo notizie, stiamo aspettando le correzioni richieste a ed il Layout completo da Kostas Kloukinas. Nanni ha mandato un documento a Mike Letheren (responsabile di Kloukinas) di non disclosure e di riconoscimento della proprietà intellettuale al disegnatore della RAM e al CERN.

3. Descrizione Behavioural e Strutturale dell'MCC.

La sintesi completa con richiesta di correzione per gli hold time dei flip-flop e che tenga conto dello skew del clock di 0.5 ns genera un circuito con 48.000 celle (7 mm²), con quasi un raddoppio del numero di celle (erano 27.000, vedi minute del 16 Maggio 2001). Il tempo per la sintesi completa è di circa 18 ore. Probabilmente 0.5 ns di skew è eccessivo, ma solo dopo aver disegnato l'albero del clock completo sapremo quale valore mettere. Tale circuito sintetizzato funziona con un periodo di 15 ns nel "worst case" (era di 18 ns nella versione con 27.000 celle).

La Delay line come annunciato sopra è pronta, il ritardo (simulazione nominal) va da 15-40 ns, nel caso di range minimo, a 75-220 ns nel caso sia stato selezionato il range massimo. Manca la vista Abstract e il formato LEF (le farà Giacomo) e mancano anche una descrizione Verilog (la farà Roberto) e una descrizione delle informazioni temporali (TLF).

4. Simulazione e SimPix.

Carlo e Paolo Mo. stanno continuando le simulazioni del funzionamento del chip in modo 40/80/160 Mb/s, la copertura dei casi possibili di funzionamento sembra essere ragionevolmente buona, ci sono ancora alcuni piccoli problemi da correggere, ma il funzionamento nella ricostruzione degli eventi, nella gestione dei trigger e nel trattamento degli overflow delle FIFO e dei flag d'errore è stabile e sicuramente più testata di quella dell'MCC-AMS. Paolo Mu. ha chiesto di simulare anche il

funzionamento senza ToT (Time over Threshold), poichè in questo caso il rate d'eventi in uscita è più elevato (eventi e hit più corti) e potrebbe essere più critico e magari generare degli errori. Il prossimo modo di funzionamento che sarà affrontato è il "WriteReceiver" che permette di simulare la ricostruzione degli eventi senza necessità di dati provenienti dai FE. Tale modo era presente anche nei precedenti MCC, ma non era mai stato provato nè nella simulazione nè con chip reali. La prossima settimana verrà provata la simulazione del circuito sintetizzato (netlist), non dovrebbe essere differente dalla descrizione Verilog, ma necessità verifica. Gli utilizzatori di SimPix e di VCS (simulatore e compilatore Verilog di Synopsys) sono molto soddisfatti dei 2 tool per la simulazione dell'MCC. Il grosso lavoro fatto da Paolo Mo. su SimPix e il relativo package d'analisi sta dando i suoi frutti, e si è dimostrando un tool essenziale per la verifica del chip senza il quale difficilmente gli errori sarebbero stati trovati.

Carlo ha messo a punto il modello C++ dell'MCC utilizzato per verifica di quello Verilog. I due modelli ormai coincidono con differenze minime e quindi quello in C++ permette una precisa verifica dell'MCC reale.

5. Layout.

Nanni ha fatto alcune prove di layout "time driven" utilizzando un file SDF del command decoder. Il risultato è un piazzamento e routing del blocco che sta entro i ritardi richiesti nell'SDF. Tutte le constraints specificate nei path sono soddisfatte con uno slac time di almeno 1.8 ns su path di 10 ns. Il fatto che lo slac sia così elevato può essere dovuto ad una sovrastima di Synopsys o ad una sottostima delle capacità definite nel LEF di tecnologia. Nanni vorrebbe aggiungere nelle capacità del routing anche una capacità tra i vari layer di metallo e non solo tra il metallo e il substrato.

Giacomo ha trasferito il disegno di prova (command decoder) da Silicon Ensemble a Cadence e ha modificato il technology file di cadence (*.tf) dato da RAL per accettare la nuova tecnologia con 5 metalli, double cut vias, etc. Giacomo ha quindi eseguito il DRC (Design Rule Check) di tale blocco senza ottenere errori.

6. Action List.

La suddivisione delle attività per i prossimi giorni:

- Carlo: Generazione dei vettori di test per verificare il WriteReceiver mode, simulazione dell'MCC in forma di netlist;
- Giacomo: LVS del command decoder, Abstract/LEF della Delay line, DRC e LVS del chip completo;
- Nanni: Time driven layout del chip completo, generazione dell'albero del clock;
- Paolo Mo.: Preparazione vettori di test e simulazione dell'MCC, package d'analisi di SimPix;
- Paolo Mu.: Correzione degli errori trovati (e che eventualmente verranno trovati) nella sua parte di disegno;
- Roberto: Sintesi chip completo, preparazione file di constraint per layout. Correzione errori di disegno, simulazione chip in forma di netlist, Verilog di descrizione della Delay line.

La prossima riunione si terrà Giovedì 14 Giugno alle ore 10