

# **Minute Riunione MCC-DSM Design del 21 Giugno 2001**

(Riunione settimanale di avanzamento progetto)

**Presenti:** Giacomo (in collegamento telefonico), Nanni, Paolo Mo., Paolo Mu., Roberto.

## **1. Pianificazione temporale.**

Nessuna novità

## **2. Annunci.**

Kostas ha fatto pervenire la libreria completa Cadence della SRAM e ha generato il LEF per Silicon Ensemble. Il materiale ricevuto non è ancora stato controllato.

## **3. Architettura di sistema.**

È stato deciso dai disegnatori del FE di inviare con ogni hit il BCID invece che il L1ID (4-bit). La decisione è seguita dalla proposta di Paolo Mo. e Roberto che partiva da considerazioni di robustezza nell'individuazione di eventi corrotti dai FE chip. I chip di FE invieranno nell'EoE sia il L1ID che il BCID, ma per il momento l'MCC non è in grado d'utilizzarli.

Si è sentita l'esigenza di aver un qualcosa equivalente al transparent mode dei precedenti MCC. Per questa versione non si prevede modifiche in tal senso. Si prenderà in considerazione un'eventuale modifica per il prossimo MCC.

Un altro problema su cui sussistono dubbi è la coerenza a livello di ROB/MCC/FE dei diversi tipi di reset implementati. Paolo Mo. approfondirà, nei prossimi mesi, lo studio dei segnali di controllo/timing e di reset a livello di sistema.

## **4. Descrizione Behavioural e Strutturale dell'MCC.**

È stato trovato un errore nel collegamento al clock dei latch usati per sincronizzare i segnali dai FE (DTI) e dal DORIC (DCI). Il clock aveva la polarità sbagliata (era stato copiato dal disegno AMS nel quale i latch sono trasparenti con clock '1', mentre quelli della libreria CERN sono l'opposto). Il disegno è stato modificato ed un unico albero verrà generato dalla sintesi (CK-tree). Lo skew del clock si può stimare in 200 ps nel "Worst Case", la nuova sintesi dell'MCC utilizzando tale valore dovrebbe richiedere un numero molto minore di inverter usati per correggere violazioni di minimum path (hold violation nei flip-flop).

La simulazione ha identificato alcuni errori in casi particolari di funzionamento che dovranno essere corretti. In aggiunta l'MCC da errori nel modo a 160 Mb/s senza ToT. Roberto e Paolo Mu. correggeranno gli errori trovati.

Nanni e Roberto hanno studiato su di un esempio semplice gli effetti dei parametri dati a Synopsys sulla sintesi del circuito. Sono stati trovati i parametri da dare al segnale di CK e dei dati in ingresso e uscita all'MCC per ottenere la sintesi più appropriata.

Roberto farà un modello Verilog che descriva la Delay line.

## 5. Simulazione e SimPix.

Paolo Mo. ha aggiunto il supporto alla modalità WriteReceiver nello ScriptLanguage. Paolo passerà la nuova versione di SimPix con tale implementazione a Carlo. Manca ancora il supporto alla parte di configurazione dei FE. Il lavoro di test (ancora solo sul disegno presintesi) prosegue.

## 6. Layout.

Giacomo ha completato il LEF della Delay, mentre l'Abstract seguirà nei prossimi giorni. Giacomo discuterà con Peter per cercare di valutare le dimensioni delle net di VDD/GND all'interno del chip. Sempre Giacomo è il responsabile dell'implementazione delle modifiche, che Nanni ha apportato nel LEF di tecnologia, per il Technology File di Cadence. Tale file sarà quello usato sia per l'MCC che per il FE. Si è deciso di non inserire le resistenze di terminazione da 100  $\Omega$  nei pad LVDS di in/out (solo i 500  $\Omega$  per i segnali di ritorno dai FE (DTI) saranno presenti). Peter Denes ha rilasciato la libreria con i nuovi Pad, ma non è stata ancora verificata.

## 7. Action List.

La suddivisione delle attività per i prossimi giorni:

- Carlo: Generazione dei vettori di test per verificare il WriteReceiver mode, simulazione dell'MCC in forma di netlist;
- Giacomo: Messa a punto del Technology File di Cadence;
- Nanni: Organizzazione del floorplanning finale del chip con nuova disposizione dei pad di I/O;
- Paolo Mo.: Preparazione vettori di test e simulazione dell'MCC, package d'analisi di SimPix;
- Paolo Mu.: Correzione degli errori trovati;
- Roberto: Correzione degli errori trovati, nuova sintesi dell'MCC tenendo conto dello skew del clock.

*La prossima riunione si terrà Mercoledì 27 Giugno alle ore 10*