

Minute Riunione MCC-DSM Design del 27 Giugno 2001

(Riunione settimanale di avanzamento progetto)

Presenti: Claudia (solo al punto 5), Giacomo (in collegamento telefonico), Nanni, Paolo Mo., Paolo Mu., Roberto.

1. Pianificazione temporale.

Si è deciso di continuare il lavoro sino al 18/7, nel caso non si riuscisse a chiudere completamente il disegno si riprenderà il lavoro dopo la riapertura del Dipartimento (20/8). Uno sforzo sarà fatto al fine di terminare in ogni caso la parte di simulazione ed eventualmente lasciare solo il layout ad agosto.

2. Descrizione Behavioural e Strutturale dell'MCC.

I problemi trovati la scorsa settimana nel funzionamento dell'event builder a 160 Mb/s non sono stati ancora risolti. Roberto e Paolo Mu. hanno intravisto il modo di risolverli e ci stanno lavorando. Nel cercare la soluzione al problema hanno trovato una possibile implementazione dell'output port. L'output port è in questo momento uno dei punti critici nell'ottenere il timing richiesto del chip. Tale blocco è in questo momento molto grosso e la soluzione intravista permetterebbe una riduzione sostanziale del numero di celle. La correzione degli errori non ha permesso la generazione di una nuova netlist del chip da usare sia per la simulazione che per il layout.

3. Simulazione e SimPix.

Paolo Mo. ha pronta la parte di simulazione del modo WriteReceiver, ma non ha potuto provarla non essendo in questo momento disponibile una versione Verilog sufficientemente stabile da poter usare. Si è deciso di coordinare in modo più sistematico il rilascio di nuove versioni del codice in modo da interferire meno tra chi sta preparando vettori di test e chi sta correggendo il modello. Per il momento verrà rimessa in piedi la versione Verilog dell'MCC delle scorse settimane per poterla utilizzare con SimPix finché non venga rilasciata quella corretta per gli errori di cui sopra.

4. Layout.

Si è discusso della distribuzione del power nel chip. Non abbiamo molti elementi per stimare la corrente necessaria che dovrebbe essere minore di 100 mA. Il limite, dato da elettromigrazione dei metalli, per una corrente di 100 mA è di 50 μm di larghezza del metallo LM. Partendo da considerazioni di resistenza dei metalli (50 m Ω /square per LM, 78 m Ω /square per M2/M3/M4 e 127m Ω /square per M1) faremo una stima della distribuzione richiedendo un'uniformità migliore di 50 mV all'interno del chip.

Giacomo sta ancora lavorando sull'implementazione delle modifiche nel technology file di Cadence, mentre non abbiamo ancora ricevuto il LEF file delle pad da Peter Denes. Il lavoro sull'ottimizzazione del layout finale sta continuando.

5. Test MCC

Per il test dell'MCC-DSM si intende procedere nel modo seguente:

- Test su campioni: 20 chip saranno messi nel solito tipo di package (LDCC-84). I chip saranno testati nel modo compatibile AMS utilizzando una scheda (in fase di disegno da parte di Ettore) che permetterà di collegare l'MCC al logic state analyser HP-16700 o all'MCCexerciser. La stessa scheda in disegno servirà anche da adattatore per l'utilizzo dell'MCCexerciser con l'MCC-DSM (solo nella modalità 40 Mb/s).
- Test su Wafer: Se i risultati del test su campioni saranno soddisfacenti, un certo numero di wafer saranno testati da una ditta (da contattare). Paolo Mu. si occuperà di questo aspetto del test contattando ditte e adattando i vettori di test per rispettare le specifiche richieste. Nanni contatterà Kevin per decidere su quanti wafer e che tempistiche saranno ipotizzabili per tali test.
- MCCexerciser-2: Si è discusso su una revisione ed adattamento dell'MCCexerciser per l'MCC-DSM. Le modifiche dovrebbero essere solo alla scheda madre, mentre le schede di memoria non sembrano necessitare un upgrade. Ci si propone di rivedere il progetto con priorità più bassa rispetto alle schede necessarie per il test del flex-hybrid e dell'adattatore di cui sopra.

La prossima riunione si terrà Mercoledì 4 Luglio alle ore 10