

## Minute Riunione MCC-DSM Design del 4 Luglio 2001

(Riunione settimanale di avanzamento progetto)

**Presenti:** Carlo, Giacomo (in collegamento telefonico), Nanni, Paolo Mo., Paolo Mu., Roberto.

### 1. Pianificazione temporale.

Non è stata fatta una nuova valutazione. La sottomissione dei chip di FE è tuttora prevista per la fine di Agosto.

### 2. Descrizione Behavioural e Strutturale dell'MCC.

Gli errori di codifica dell'event builder (descritti nelle minute delle scorse 2 settimane) sono stati corretti con una riscrittura dell'Output Port e modifiche dell'Event Builder. Il blocco dell'Event Builder più Output Port si è ridotto di dimensioni e la velocità di funzionamento nel Worst Case è migliorata di 4 ns (il tempo di ciclo è attualmente 16 ns). C'è ancora un problema nei funzionamenti ad 80 e 160 Mb/s: gli eventi non sono sempre allineati correttamente (primo bit su DTO2 per 80 e 160 Mb/s e sul fronte positivo del clock per 160 Mb/s).

La sintesi del Event Builder e Output Port ha ridotto notevolmente il numero di celle da 16.700 a 4.200. (vedi minute del 16 Maggio 2000 e tabella 1).

	MCC-DSM (Ver. 16 Mag '01)		MCC-DSM (Ver. 4 Lug '01)	
	No. Cell	Area Cell (mil <sup>2</sup> )	No. Cell	Area Cell (mil <sup>2</sup> )
EVB	16.674	5.153	4.183	1.987
Receiver	438	146		
CMD	478	167		
REG	2.379	817		
Totale Chip	27.052	8642		

*Tabella 1: Comparazione dei risultati di sintesi tra la versione precedente dell'Event Builder e quella di oggi. L'effetto della modifica dell'Output Port dell'EVB è evidente*

Per ora nella sintesi non è ancora stata inserita la scan chain. Non si prevedono problemi particolari per l'aggiunta della scan chain e i cambiamenti del numero di celle dovrebbero essere minimi.

### 3. Simulazione e SimPix.

I vettori di test e SimPix per la simulazione del modo WriteReceiver sono pronti. I primi test fatti danno alcuni problemi, il lavoro di comprensione ed eventuale ricerca degli errori è appena cominciato. Seguiranno test di configurazione dei FE e di controllo delle rimanenti parti del chip.

Paolo Mo. ha aggiunto una serie di ottimizzazioni del modulo d'analisi di SimPix che sono di grosso aiuto nel debugging del codice Verilog dell'MCC.

#### **4. Layout.**

È stata rilasciata da Peter Denes la libreria di Pad dell'MCC (padsTsmcIbm5). Peter ha anche fornito il relativo LEF file. Tale file non risulta essere corretto. Anche quello della Delay line non è corretto. Giacomo risolverà i problemi di entrambi. Nella libreria dei pad manca il riferimento di corrente per i pad LVDS e per la Delay line. Il blocco esiste (non sappiamo le dimensioni), e la proposta è quella di metterlo all'interno di un finto pad. In questo modo il ring all'interno dei pad d'alimentazione è automaticamente connesso, mentre la Delay line può essere alimentata da un pin di tale pad. Secondo Denes il circuito è troppo grande per un pad, ma secondo Giacomo eliminando le protezioni ESD del pad dovrebbe starci. Un'altra possibilità è quella d'inserirlo nella Delay e portare il riferimento ai ring di pad tramite un finto pad.

Nella libreria di pad servirebbero altri spacer di dimensione inferiore a quello creato ( $75 \mu\text{m}$ ). I possibili valori potrebbero essere  $1 \mu\text{m}$ ,  $5 \mu\text{m}$  e  $25 \mu\text{m}$ . I pad della libreria hanno differenti altezze. Si propone di portarli tutti a  $415 \mu\text{m}$ .

#### **Test MCC**

Paolo Mu. ha preparato una lettera da inviare a ditte per richiedere un offerta per il test di un paio di wafer da 8" con alcune centinaia di MCC. Per il momento ha contattato la IMEC in Belgio e la AMS in Austria.

*La prossima riunione si terrà Mercoledì 11 Luglio alle ore 10*