

# Minute Riunione MCC-DSM Design del 11 Luglio 2001

(Riunione settimanale di avanzamento progetto)

**Presenti:** Carlo, Giacomo, Nanni, Paolo Mo., Paolo Mu., Roberto.

## **1. Stato del disegno del chip.**

Nella riunione di oggi si è fatta una valutazione approfondita dello stato del disegno dell'MCC-DSM. Lo stato del progetto può essere riassunto:

- Descrizione verilog. Dopo la correzione degli errori nella parte di ricostruzione degli eventi (Event Builder/Receiver/TTC) che ha implicato una riscrittura di molte parti non sono stati trovati ulteriori errori.
- Simulazione. I vettori di simulazione sono suddivisi in 3 grosse categorie: Data Taking, Playback Eventi, Configurazione MCC e FE. Il primo (Data Taking) è quello più impegnativo e complesso, i vettori di test sono stati tutti generati e provati sul codice Verilog del chip. Dopo le grosse modifiche sul chip delle settimane scorse si sta ripassando tutti i vettori per verificare che non siano stati creati nuovi errori. I vettori per il test di Playback sono in fase d'ultimazione e in fase di controllo sul chip. L'ultimo blocco è ancora da preparare.
- Blocchi Full Custom.
  - Delay Line: il disegno e layout sono completi. Ci sono ancora problemi nella generazione della descrizione LEF e dell'Abstract.
  - SRAM: Layout completo (va sostituito il metallo LZ con M3). LEF e Abstract pronti.
  - Libreria di Pad (LBL): Vanno fatte modifiche minori ai pad VDD/GND aggiungendo dei pin su M1/M2 per GND e M3/M4 per VDD. Una piccola modifica va anche fatta per il pad con il riferimento di corrente per i pad LVDS e per la delay line. Abstract e LEF vanno generati (lavoro di poche ore una volta risolti i problemi per la delay line). I modelli Verilog e TLF (molto primitivi, ritardo fisso di 1 ns) sono pronti.
- Layout completo. Tutti gli aspetti relativi al layout completo sono sotto controllo, ma non è possibile realizzarlo fino a che non sarà disponibile la netlist finale.
- LVS e DRC. LVS è stato eseguito su tutti i sottoblocchi, pads, standard cells. DRC è stato eseguito su tutti i blocchi e su un layout di prova di circa il 10% del chip. Per il DRC finora è stato utilizzato il prodotto Cadence DIVA che non è quello accettato da IBM.

Nota: Dopo la riunione siamo riusciti a eseguire il DRC usando Hercules (richiesto per la sottomissione da IBM) in remoto dal CERN su un blocco di 1800 celle generato con Silicon Ensemble e il nostro technology file e sulla delay line. Entrambi lo hanno passato! La possibilità di utilizzare noi direttamente Hercules ci farà guadagnare senza dubbio alcuni giorni (se non settimane) preziose.

## **2. Pianificazione temporale.**

L'aspetto più critico nella pianificazione temporale è la validazione del codice Verilog ed è quello che potrebbe far slittare il completamento del chip. In ogni caso le nostre stime sono le seguenti:

- Completamento verifica chip per il 25-30 Agosto.
- Assemblaggio e layout completo altri 7-10 giorni
- LVS e DRC una settimana.

Si prevede quindi di finire per il 15-20 Settembre. Su alcune date potrebbero aggiungersi impegni conflittuali quali la conferenza LEB (11-15 Settembre) per Roberto e le riunioni della Commissione I per Nanni. L'attività a partire della prossima settimana e fino al 20 Agosto sarà ridotta a causa del G8 e ferie.

### **3. Test MCC**

Paolo Mu. non ha ancora avuto alcuna risposta dalle ditte a cui ha inviato la richiesta d'offerta per i test su wafer dell'MCC. In settimana telefonerà alle ditte per avere maggiori informazioni.

Nota: Dopo la riunione Paolo Mu. è riuscito ad avere alcune informazioni relative a test su wafer. La AMS di Gratz fa test solo da 100 wafer in su, ma ha indicato una ditta italiana: la Optoelettronica Italiana di Trento. Paolo Mu. ha preso contatti con tale ditta e questi si sono mostrati interessati a fare i test. Paolo Mu. preparerà un documento di specifiche sul quale ottenere un offerta.

*La prossima riunione si terrà in, data da definirsi, dopo la chiusura estiva*